# 部分耗尽SOI MOSFET NBTI效应 研究



王成成<sup>1,3,\*</sup>,周龙达<sup>1,5</sup>,蒲石<sup>2</sup>,王芳<sup>1,3</sup>,杨红<sup>1,4</sup>,曾传滨<sup>1,3</sup>,韩郑生<sup>1,3,5</sup>,罗家俊<sup>1,3</sup>,卜建辉<sup>1,3</sup> 1.中国科学院微电子研究所,北京 100029 2.航空工业西安航空计算技术研究所,陕西 西安 710065 3.中国科学院 硅器件技术重点实验室,北京 100029 4.中国科学院 微电子器件与集成技术重点实验室,北京 100029 5.中国科学院大学,北京 100049

**摘 要:NBTI**效应严重影响了器件的高温可靠性,本文对基于1.2μm工艺的PDSOI器件进行了NBTI效应研究。通过加速 应力试验得到了NBTI效应对PDSOI器件阈值电压漂移的影响,其主要影响因素有应力时间、温度和栅偏压。试验中通过V<sub>g</sub> 模型对PDSOI器件进行了NBTI效应寿命预测,实现了对自有1.2μm工艺PDSOI器件的高温可靠性评价。

关键词:负偏压温度不稳定性; PDSOI, 快速测试方法, 阈值电压, 寿命预测, 可靠性

#### 中图分类号:V240.2

文献标识码:A

随着科学技术的发展,航空航天工业已经成为衡量一 个国家综合实力的重要标志。航空航天器制造行业在工业 化体系中的地位也变得十分重要<sup>[1]</sup>。航天器件的可靠性是 空间元件的核心要求,航天器件面临的可靠性主要包含发 射回收时在大气层内摩擦导致的振荡、太空中宇宙射线引 起的突发故障以及昼夜温差大引发的老化。这就要求航天 产品耐老化、耐高温、耐低温、防辐射、防干扰、寿命高。以 航空航天工业中的发动机为例,其所需的电子器件和感应 器都需要在超高温环境下工作,因此航空航天对耐高温器 件和电路也有着迫切的需求。由于不存在寄生的底面 PN 结,与体硅 MOSFET 相比,SOI MOSFET 在高温领域有着明 显的优势,在高温领域得到了广泛应用<sup>[2]</sup>。而负偏压温度 不稳定性效应(Negative Bias Temperature Instability, NBTI) 严重影响器件的高温可靠性,因此对 SOI MOSFET 的NBTI 效应研究及寿命预测显得尤为重要。

NBTI效应是在高温下(通常>100℃)对PMOSFET栅极 施加负栅压和高温应力的条件下产生的一种效应,表现为

#### DOI: 10.19452/j.issn1007-5453.2020.01.010

阈值电压负向漂移、漏极饱和电流和跨导的减小等器件参数的变化。典型的应力条件为恒定的负栅压、源极漏极衬 底均接地和高温应力<sup>[3]</sup>。NBTI现象很早就被发现,但对器 件可靠性的影响并未得到足够的重视。随着超大规模集成 电路向更小工艺尺寸的迅速发展,栅氧厚度越来越薄,在对 器件可靠性的影响中,由NBTI效应引发的PMOSFET器件 退化逐渐成为影响器件寿命可靠性的主要因素,它比由沟 道热载流子效应(HCI)引发的NMOSFET器件寿命退化更 为严重<sup>[4,5]</sup>。

## 1 NBTI 效应失效机理

NBTI效应导致阈值电压的负向漂移、漏极饱和电流和 跨导的下降,其原因是在Si/SiO<sub>2</sub>界面附近产生了正电荷,正 电荷的产生可以由界面缺陷或氧化层缺陷来解释。普遍认 为,Si/SiO<sub>2</sub>界面陷阱为主要原因。对于PMOSFET器件的 NBTI界面陷阱的作用机理,人们进行了大量的研究并且提

\*通信作者.Tel.: 010-82995821 E-mail: wangchengcheng@ime.ac.cn

引用格式: Wang Chengcheng, Zhou Longda, Pu Shi, et al. Study on NBTI effect of PDSOI MOSFET[J]. Aeronautical Science & Technology, 2020,31(01):76-80. 王成成,周龙达,蒲石,等. 部分耗尽SOI MOSFET NBTI 效应研究[J]. 航空科学技术, 2020,31(01):76-80.

收稿日期: 2019-07-10; 退修日期: 2019-09-26; 录用日期: 2019-10-21 基金项目: 航空科学基金(201743X2001)

出了很多模型,其中反应扩散(R-D)模型是被广泛接受的 一种模型<sup>[3,6]</sup>。在这种模型中,器件的退化取决于界面态的 浓度和H原子的扩散速率在高的电场和温度应力下,反型 层的空穴从硅表面注入到栅氧,使得Si/SiO<sub>2</sub>界面处的Si-H 键断裂,形成界面态和正的氧化层电荷,产生的H原子会扩 散到栅氧层中,或者与其他的H原子结合形成H<sub>2</sub>扩散出 去,这样就产生了界面态。而界面态是产生又会直接影响 MOSFET 器件阈值电压的变化,从而使得器件性能退化, NBTI退化如图1所示。



图1 NBTI退化示意图 Fig.1 NBTI degradation diagram

氢反应模型的方程式为:

 $Si \equiv SiH \rightarrow Si_3 \equiv Si + H^0$ 

(1)

这里的H<sup>0</sup>为中性氢原子,但据研究表明,H<sup>+</sup>是界面处 唯一稳定的电荷态,而且H<sup>+</sup>可以和Si-H直接反应形成界面 陷阱,反应方程式为:

 $Si_{3} \equiv SiH + H^{+} \rightarrow Si_{3} \equiv Si + H^{+}$ (2)

Si<sub>3</sub>=SiH是硅表面含H(被氢钝化)的缺陷,Si<sub>3</sub>=Si是界 面产生的硅悬挂键,即界面态陷阱中心,H<sup>+</sup>是氢离子或质 子,最终产生的H<sub>2</sub>扩散出氧化层。

# 2 PDSOI器件NBTI效应研究

# 2.1 加速应力试验

对在理想的情况下,对器件施加其额定工作电压等条件,然后观察器件的可靠性变化情况,最后可以得出准确的 关于器件可靠性的结论。但是目前器件的工作寿命大多在 几年到十几年之间,显然做这种试验是不现实的。因此,加 速应力试验应运而生,加速应力试验的原理是在保持失效 机理不变的条件下,可以通过加大试验时的应力来减小试 验时间的办法来对器件进行测试,提高效率。目前最常用 最成熟的是恒定应力加速寿命试验,在相对较少的时间内, 对样品施加NBTI应力,然后测得器件的相关参数在应力前 后的变化,利用外推法确定该失效机理的加速因子,能快速 地预测器件在实际使用情况下的失效率。试验采用的就是 恒定应力加速测试的方法来对PDSOI器件进行寿命预测。

#### 2.2 试验方案

参考在NBTI效应中主要的器件参数退化为阈值电压 的漂移、驱动电流和跨导的下降,其中阈值电压参数退化最 为严重,所以一般将阈值电压漂移量作为寿命试验的标准 参数。本试验测试中采用的是1.2μm工艺的PDSOI器件, 测试方法是基于加快应力间隔中的测量速度的测量方法, 测试流程如图2所示。由于时间有限,器件失效的寿命时 间很难达到,所以测试过程中都是给定应力一段时间来测 试器件参数退化程度的。



图 2 NBTI 效应测试流程 Fig.2 NBTI test flow

图3为不同的测试速度时间条件下阈值电压漂移结果 (应力时间 t=5000s,温度 T=175°C,栅压  $V_g$ =-8V,测试速度 时间  $t_{fast}$ =15µs, $t_{slow}$ =13ms)。当应力间隔中的测试速度时间 较慢  $t_{slow}$ 时,相同时间点阈值电压漂移量  $\Delta V_{th}$ 减小,阈值电 压退化有所恢复,影响试验数据结果的准确性。本次试验 中施加应力后的测试采用的是快速测试方法,来进行测量 阈值电压以减小漂移量的恢复。

根据JEDEC标准<sup>[7]</sup>,PMOSFET的NBTI效应计算寿命通 常使用 $V_{g}$ 模型如图4<sup>[8,9]</sup>所示,即得到 $V_{g}$ 与失效时间TTF之间 的关系即可。器件在三个不同栅压( $V_{1}, V_{2}, V_{3}$ )应力条件下, 由阈值电压与时间的关系曲线,外推至失效指标时得到失效 时间(TTF<sub>1</sub>,TTF<sub>2</sub>,TTF<sub>3</sub>)。三组TTF线性拟合出一条直线,可 以外推出在目标电压下的器件NBTI效应的寿命。

具体的试验方案如下:

(1) 同一应力温度不同栅压下,应力时间与阈值电压 漂移的关系:*T*=225℃,*V*<sub>g</sub>=-8/-9/-10V。按对数等间隔原则



Fig.4 PMOSFET NBTI lifetime prediction

选择应力时间间隔点,在确定的应力时间完成阈值电压的 测量。

(2)根据得到不同栅压下的应力时间与阈值电压漂移 量的关系式,推算出在温度 T=225°C时,不同栅压 Vg=-8/-9/ -10V下的器件寿命。进而得到有关栅压与器件寿命的关 系式,预测出目标栅压为-5V的器件寿命。

试验中需要测量的器件特性曲线为转移曲线 *I*<sub>a</sub>-*V*<sub>g</sub>,进 而得到阈值电压值。其中 *V*<sub>as</sub>=-0.1V,由于采用的是快速测 试方法, *V*<sub>ss</sub>范围为涵盖阈值电压在内的电压区间,不同应 力条件组合下的 *V*<sub>ss</sub>范围见表1。

## 2.3 NBTI 效应寿命预测

研究表明PMOSFET的各种参数中,阈值电压退化最为严重。用阈值电压漂移量作为器件寿命评价的标准后进

表1 V<sub>gs</sub>电压范围 Table 1 V<sub>gs</sub>voltage range

-		
情况	电压范围/V	
$T=225$ °C, $V_g=-8V$	-1.05~-1.14 step=0.01	
$T=225^{\circ}C, V_{g}=-9V$	-1.05~-1.14 step=0.01	
$T=225^{\circ}C, V_{g}=-10V$	-1.05~-1.14 step=0.01	

行了NBTI寿命试验,试验采用了器件宽长比为 $W/L=20\mu m/2\mu m$ ,测试温度 $T=225^{\circ}$ C,施加栅压 $V_{g}=-8/-9/-10V$ ,应力时间t=5000s。

(1) 器件转移特性的退化

测量 PMOSFET 器件的转移特性曲线将源漏电压设置为  $V_{ds}$ =-0.1V,源极和衬底接地,温度设置为 T=225°C,  $V_g$ =-8V,栅极电压  $V_{gs}$ 从-1.05V扫描到-1.14V。图5为得到的转移特性数据和曲线,表明在施加 NBT 应力之后,产生了负的阈值电压漂移和漏电流的减小,这是由于界面态和正氧化层固定电荷的产生造成的影响。



#### (2) 应力时间 t 与阈值电压漂移量的关系

通过NBTI 失效机理的研究和 JEDEC<sup>[7]</sup>中有关 NBTI 效应 模型( $\Delta V_{\rm th}$ =A×exp(Eaa/KT)× $V_g^{\alpha}$ × $t^{\rm n}$ ),可以确定 PMOSFET 器件 阈值电压漂移量与应力时间呈现出 $t^{\rm n}$ 的小数幂指数关系 $\Delta V_{\rm th}$ ∞  $t^{\rm n}$ ,通过试验测试确定时间参数n。经过测试和数据拟合得到 如图6所示为T=225°C, $V_g$ =-8/-9/-10V的三条曲线。

图6中,横坐标为对数等间隔的时间坐标,纵坐标为阈 值电压漂移量对数,可以非常明显地看出,随着试验时间的 推移,阈值电压的漂移量逐渐增大。得到的关系表达式见 表2,并由表达式计算当ΔV<sub>h</sub>=0.1V时的器件寿命TTF。

表2 器件TTF推算 Table 2 Device TTF calculation

情况	表达式	TTF/年
<i>T</i> =225°C	$(x-\lg t, y-\lg \Delta V_{th})$	y=lg0.1
$V_g = -8V$	<i>y</i> =0.18573 <i>x</i> -1.98725	0.00655700
$V_g = -9V$	<i>y</i> =0.14563 <i>x</i> -1.71324	0.00250502
$V_g = -10 V$	y=0.13583x-1.56911	0.00049098

(3) 栅压与器件寿命的关系

JEDEC标准<sup>[7]</sup>中有关栅压与器件寿命的关系模型TTF= ( $\Delta V_{th}/(A \times exp(Eaa/KT) \times V_g^a)$ )<sup>1/n</sup>,设TTF=( $B \times (1/V_g^a)$ )<sup>1/n</sup>两边 取对数有:

 $lgTTF = lg(B \times (1/V_g^{\alpha}))^{1/n} = 1/n \times (lgB - lgV_g^{\alpha}) = 1/n \times (lgB - \alpha \times lgV_g)$ 



由表2温度*T*=225°C下的三个栅压的TTF可以得出 $V_g$ 与TTF之间(*x*-lg $V_g$ ,*y*-lgTTF)的曲线拟合结果,如图7所示,关系表达式见表3。代入 $V_g$ =-5V得到器件失效情况 $\Delta V_{\rm th}$ =0.1V、*T*=225°C、 $V_g$ =-5V时的器件寿命TTF约为1.7年。按照相同方法,*T*=175°C条件失效情况下的器件寿命TTF约为31.3年。



# 3 结论

试验中对于基于1.2µm工艺的PDSOI PMOSFET器件 进行了NBTI效应研究。研究中进行了加速应力试验,采用

表3 器件TTF推算 Table 3 Device TTF calculation

温度t/℃	表达式	TTF/年
	$(x-\lg V_g, y-\lg TTF)$	$(V_{g} = -5V)$
225	<i>y</i> =–11.5479 <i>x</i> +15.79973	1.6955
175	<i>y</i> =–13.8671 <i>x</i> +18.68741	31.3258

阈值电压漂移量0.1V作为器件寿命评价的标准,通过试验 得到了NBTI效应对PDSOI器件阈值电压漂移的影响,并 采用 V<sub>g</sub>模型进行了PDSOI器件的NBTI效应寿命预测, 225℃约为1.7年,175℃约为31.3年,实现了对自有1.2μm 工艺PDSOI器件的高温可靠性评价。

#### 参考文献

 [1] 闫宁.中国梦和航天梦关系辨析[J]. 桂林航天工业学院学报, 2015(4): 545-547.

Yan Ning. An analysis of the chinese dream and the aerospace dream[J]. Journal of Guilin University of Aerospace Technology, 2015(4): 545-547. (in Chinese)

[2] 罗浩平,张艳飞. SOI技术特点及晶圆材料的制备[J]. 电子与 封装, 2008,8(6): 1-5.

Luo Haoping, Zhang Yanfei. The SOI characteristics and fabrication of SOI material[J]. Electronics and Packaging, 2008,8(6): 1-5. (in Chinese)

[3] 黄勇,恩云飞,章晓文.NBTI效应的退化表征[J].半导体技术, 2007, 32(7): 562-564.

Huang Yong, En Yunfei, Zhang Xiaowen. Degradation characterization of NBTI effect [J]. Semiconductor Technology, 2007, 32(7): 562-564. (in Chinese)

- [4] 郝跃,韩晓亮,刘红侠.超深亚微米P+栅PMOSFET中NBTI效应及其机理研究[J]. 电子学报, 2003, 31(12): 2063-2065.
  Hao Yue, Han Xiaoliang, Liu Hongxia. NBTI effect and mechanism of ultra-deep submicron p+gate PMOSFET[J]. Journal of Electronics, 2003, 31(12): 2063-2065. (in Chinese)
- [5] 韩晓亮,郝跃.超深亚微米 PMOSFET 器件的 NBTI 效应[J].半 导体学报, 2003, 24(6): 626-630.
   Han Xiaoliang, Hao Yue. NBTI effect of ultra-deep submicron

PMOSFET devices[J]. Journal of Semiconductors, 2003, 24 (6): 626-630. (in Chinese)

[6] 蔡勃.单轴应变硅PMOS设计与NBTI效应研究[D].西安:西 安电子科技大学,2012.

Cai Bo. Design of uniaxial strained SI PMOS and research on

NBTI effect [D]. Xi'an: Xidian University, 2012. (in Chinese)

- [7] JEDEC. JESD90 Aprocedure for measuring p-Channel MOSFET negative bias temperature instabilities[S]. JEDEC, 2004.
- [8] Cao Yanrong, Ma Xiaohua, Hao Yue, et al. Models and related mechanisms of NBTI degradation of 90nm pMOSFETs[J]. Chinese Journal of Semiconductors, 2007, 28(5): 665-669.
- [9] 王擎雷,周柯,杨斯元.器件工艺可靠性测试数据比较方法的 研究[J]. 半导体技术,2010,35(4): 378-382.
   Wang Qinglei, Zhou Ke, Yang Siyuan. Study on comparing method of devices process reliability test data[J].

Semiconductor Technology, 2010, 35 (4): 378-382. (in Chinese) (责任编辑 王为)

### 作者简介

王成成(1985-)女,硕士,助理研究员。主要研究方向:半 导体器件可靠性、器件模型及PDK开发研究。 Tel:010-82995821 E-mail:wangchengcheng@ime.ac.cn 卜建辉(1984-)男,博士,副研究员。主要研究方向:半导 体器件可靠性、器件模型及参数提取研究。 E-mail:bujianhui@ime.ac.cn

# Study on NBTI Effect of PDSOI MOSFET

Wang Chengcheng<sup>1,3,\*</sup>, Zhou Longda<sup>1,5</sup>, Pu Shi<sup>2</sup>, Wang Fang<sup>1,3</sup>, Yang Hong<sup>1,4</sup>, Zeng Chuanbin<sup>1,3</sup>, Han Zhengsheng<sup>1,3,5</sup>, Luo Jiajun<sup>1,3</sup>, Bu Jianhui<sup>1,3</sup>

1. Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China

2. AVIC Xi'an Institute of Aeronautical Computing Technology, Xi'an 710065, China

3. Key Laboratory of Silicon Device Technology, Chinese Academy of Sciences, Beijing 100029, China

4. Key Laboratory of Microelectronic Devices and Integrated Technology, Chinese Academy of Sciences, Beijing 100029, China

5. University of Chinese Academy of Sciences, Beijing 100049, China

**Abstract:** The NBTI effect seriously affects the high temperature reliability of the device. In this paper, the NBTI effect of 1.2µm process Partially Depleted Silicon On Insulator(PDSOI) device was studied. Acceleration stressing experiments were made to obtain threshold voltage shift of PDSOI device effected by NBTI. The main influencing factors are stress time, temperature and gate bias voltage. Through the  $V_g$  model, the NBTI effect lifetime of PDSOI device is estimated which can be used to evaluate the high temperature reliability of 1.2µm process PDSOI device.

**Key Words:** negative bias temperature instability; PDSOI; fast test method; threshold voltage; lifetime prediction; reliability

Foundation item: Aeronautical Science Foundation of China (201743X2001)

\*Corresponding author.Tel.: 010-82995821 E-mail: wangchengcheng@ime.ac.cn

**Received:** 2019-07-10, **Revised:** 2019-09-26, **Accepted:** 2019-10-21