

一种新型亚阈值SRAM单元设计



孔得斌*, 乔树山, 袁甲

中国科学院微电子研究所, 北京 100029

摘要:降低电源电压能够大幅降低芯片的功耗,进而减小航空电子设备的能量消耗,为使静态随机存储器能够工作在低电压下,面向亚阈值区设计了一种新型的12T存储单元。该单元通过两个堆叠的访问管完成数据的写入操作,通过一个访问管完成读操作,这样能够消除半选单元的干扰问题并使单元适用于位交织结构。并且单元的读访问路径被专用管子从真实存储节点隔离,在增加读稳定性的同时保证了充足的电压感知裕量。应用多阈值设计技术提升单元的写能力并降低漏电功耗。仿真结果表明,在0.4V电压下提出的新型12T单元相较于传统6T单元读噪声容限提升80%、写能力提升60%,相较于10T单元电压感知裕量和访问速度都获得了提升。该12T单元更适用于低压操作。

关键词:低功耗; SRAM; 新单元; 位交织; 位线漏电补偿; 多阈值

中图分类号: TN492

文献标识码: A

DOI: 10.19452/j.issn1007-5453.2020.02.008

随着近年来市场对低功耗电子设备需求的激增,功耗已取代高性能成为大部分电路设计的重点关注对象^[1]。由于静态随机存储器(SRAM)在片上系统(SoC)功耗中的占比较大,低功耗的SRAM设计是必要且有吸引力的。降低电源电压能够成平方倍地减小动态功耗、线性地降低漏电功耗,因此将电源电压降低到近阈值或亚阈值区一直是低功耗逻辑电路和SRAM电路的研究重点^[2]。在近阈值或亚阈值区,随机掺杂涨落和线边缘粗糙加剧工艺偏差和器件失配^[3],并且工艺电压温度PVT偏差对金属氧化物半导体(MOS)管的驱动电流具有指数级的影响,此外显著减小的MOS管开关电流比使读操作时访问单元的正常放电电流和非访问单元的积累漏电流之间的界限模糊,这会造成更慢甚至错误的读操作。管子尺寸方面,传统6T单元的写能力和读稳定性对管子尺寸具有不一致的需求,并且低压下由于阈值偏差带来的影响加剧,依靠管子尺寸调节来获得充足读稳定性和写能力的方式不再奏效。以上所有因素决定了传统6T单元不能工作在近阈值或亚阈值区。

为了获得低压SRAM,一方面不同的写辅助或读辅助策略被用来降低6T SRAM的工作电压,字线电压抬升技术^[4]、电源电压降低技术^[5]和位线负偏压技术^[6]是提升6T单元写能力的主要技术手段,但是字线电压抬升技术会降低同一行上

半选单元的读稳定性,电源电压降低技术会降低同一电源线上半选单元的保持稳定性,位线负偏压技术采用的大电容会牺牲面积和功耗。读辅助方面,参考文献[7]采用字线电压抑制的方式牺牲读速度换取读稳定性;参考文献[8]采用位线电压抑制的方式提升读稳定性,但过低的位线电压同样会降低单元的读稳定性,产生期望的中间电压比较困难。

另一方面各种新单元被提出以解决6T单元面临的挑战。读写端口分离的8T单元^[9,10]和10T单元^[11]通过将存储节点与读位线隔离使单元的读噪声容限(RSNM)等于保持噪声容限(HSNM)从而大大提升了自身读稳定性。随着电压的降低SRAM发生软错误的概率增大^[12],有必要基于位交织结构实施检错纠错方案^[13]。不幸的是读写端口分离的单元不适用于位交织结构,否则同一行上的半选单元在写操作时会受到读干扰^[14],并且8T和10T单元结构的单端读特性会使访问速度降低,此外额外的读位线增加了漏电功耗。

总之考虑到稳定性、软错误、访问速度和功耗等因素,差分读取、抗噪声干扰并具有位交织能力的单元的设计对于低电压SRAM设计来说是有竞争力和吸引力的。

1 对比单元

经典6T单元结构如图1(a)所示,该单元由上拉管PU、

收稿日期: 2019-06-17; 退修日期: 2019-09-02; 录用日期: 2019-11-11

基金项目: 航空科学基金(201743X2002)

*通信作者. Tel.: 010-82995570 E-mail: kongdebin@ime.ac.cn

引用格式: Kong Debin, Qiao Shushan, Yuan Jia. A new type of subthreshold sram bitcell design[J]. Aeronautical Science & Technology, 2020, 31(02): 60-65. 孔得斌, 乔树山, 袁甲. 一种新型亚阈值SRAM单元设计[J]. 航空科学技术, 2020, 31(02): 60-65.

下拉管PD和访问管PG三部分组成,由于写操作时同一行上的半选单元存在读干扰,位交织的6T SRAM不能采用字线电压抬升和电源电压降低的写辅助策略。差分10T单元如图1(b)所示^[15],该10T单元读稳定性较高并且适用于位交织结构,但是低压下受存储数据模式和PVT偏差的影响,差分10T单元的读速度降低甚至会出现读错,这限制了其工作电压的降低。参考文献[16]提出了如图1(c)所示的施密特结构单元SC,得益于内部的反馈机制,SC单元的噪声容限和写能力相比于6T单元都有所提升,但放电路径上堆叠的NMOS导致读速度降低并且同一行上的半选单元同样存在稳定性问题。参考文献[17]提出了如图1(d)所示的SC 12T单元,该单元的读稳定性相较于SC单元进一步提升,为了改善写能力,SC 12T单元采用混合阈值设计方法,N7和N10为低阈值管,其余部分为常规阈值管,这种混合阈值设计降低了RSNM、增加了位线漏电。

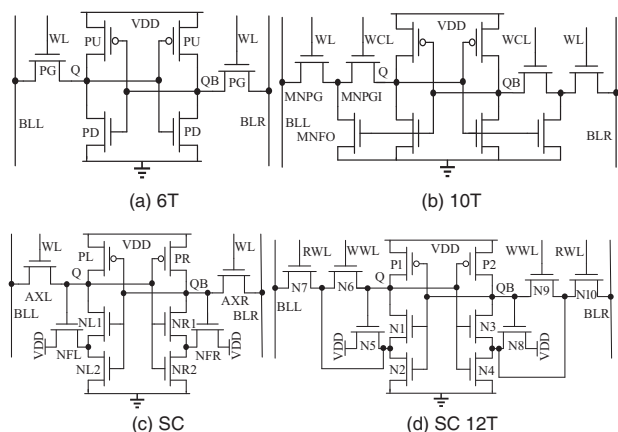


图1 对比单元

Fig.1 Previous bitcells

2 新型12T单元

为了弥补6T、差分10T、SC和SC 12T单元的不足,本文设计了一种稳定的、适用于位交织结构的新型亚阈值12T单元,如图2所示。12T单元由4部分组成,分别为对称的访问部分(NAL1, NAL2, NAR1, NAR2)、背靠背反相器部分(PL1, NL1, PR1, NR1)、读操作放电管部分(NLD1, NRD1)和位线漏电补偿BLLC部分(PLD1, PRD1)。新型12T单元中堆叠的写访问管降低了单元写能力、额外的漏电路径增加了静态功耗,本文采用混合阈值的设计方法解决这两个问题。读放电路径上NAL1、NLD1、NAR1和NRD1采用常规阈值管以均衡读速度和位线漏电流;为了提升写能力降低单元漏电,NAL2和NAR2采用低阈值管而

PL1、PR1、NL1和NR1采用高阈值管;考虑到对位线的漏电补偿能力,将PLD1和PRD1设置为常规阈值管。需要注意的是BLLC的使用会削弱单元保持1的能力,因此HSNM降低,此外更多的管子和多阈值技术的使用增加了单元的面积。

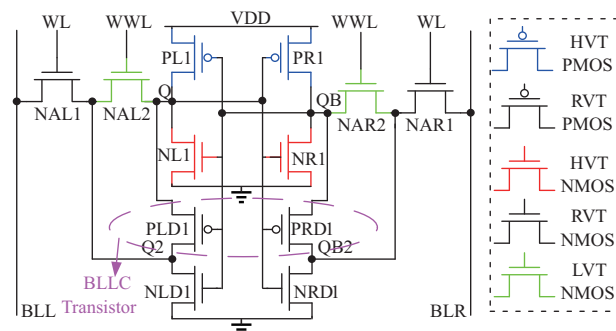


图2 多阈值12T单元

Fig.2 Multi-vth 12T bitcell

3 仿真对比

基于中芯国际SMIC 55nmLL低漏电流工艺,采取HSPICE仿真的方式,本节给出了几种单元在读稳定性、写能力、漏电功耗、访问速度、漏电补偿等方面的详细对比,充分证明了本文设计单元在低压下的优势。

3.1 保持噪声容限HSNM

在0.4V 25°C条件下对5种单元的做1000次蒙特卡罗仿真得到的保持噪声容限正态分布拟合曲线如图3所示,曲线越瘦高则噪声容限偏差越小,越靠近右侧噪声容限均值越大、稳定性越好。图4给出了6T和12T单元的电压传输特性曲线,即蝶形曲线,曲线所夹正方形的面积越小表明单元抗噪声能力越差、稳定性越差,相应的在图3中曲线越靠左,噪声容限越小、稳定性越差。可以看出相比于6T单

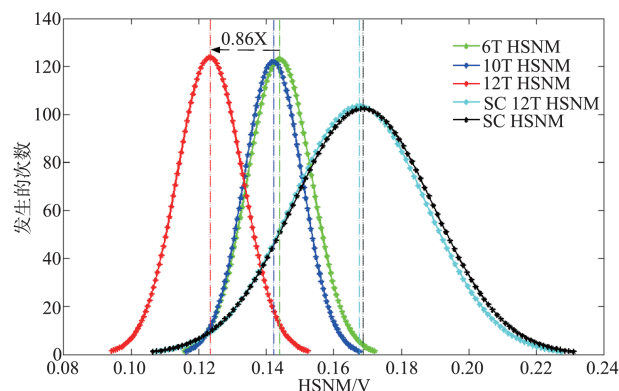


图3 保持噪声容限正态分布拟合曲线

Fig.3 HSNM normal distribution fitting curve

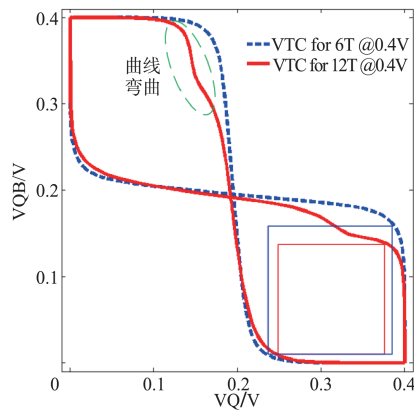


图4 保持状态电压传输特性曲线

Fig.4 Voltage transfer curve at hold state

元, 12T单元的HSNM减小了14%, 这种保持稳定性损失是可以接受的, 因为HSNM不是限制单元低压工作的关键因素。

3.2 读噪声容限RSNM

在0.4V 25°C条件下对5种单元做1000次蒙特卡罗仿真得到的读噪声容限正态分布拟合曲线如图5所示。图6给出了读操作的电压传输特性曲线。

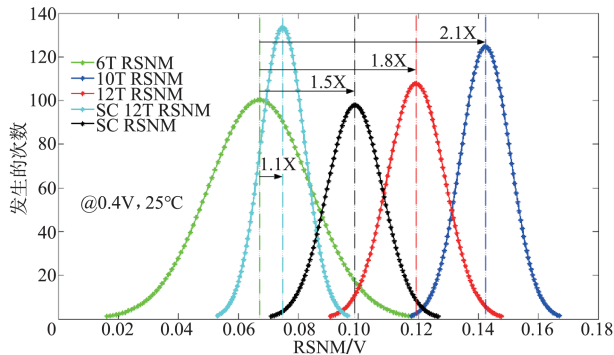


图5 读噪声容限正态分布拟合曲线

Fig.5 RSNM normal distribution fitting curve

读操作时, 12T单元的WL打开、WWL关闭, 得益于BLLC对读噪声的隔离作用, 12T单元的RSNM相比于6T单元提升80%、相比于SC单元提升20%, 读稳定性好。

3.3 写噪声容限WSNM与读速度

写操作时12T单元的WL和WWL都使能有效, 图7给出了蒙特卡罗仿真得出的写噪声容限均值WSNM随VDD的变化, 其中WSNM的值越负代表单元的写能力越强。得益于混合阈值的设计技术, 12T单元的写1能力和写0能力都变强, 在0.6V及以下电压下12T单元相比其他4种单元

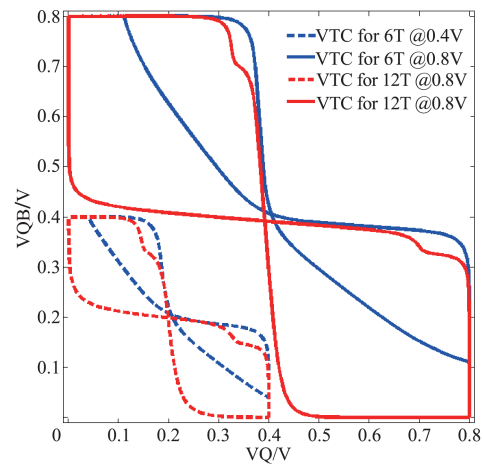


图6 读操作电压传输特性曲线

Fig.6 Voltage transfer curve at read state

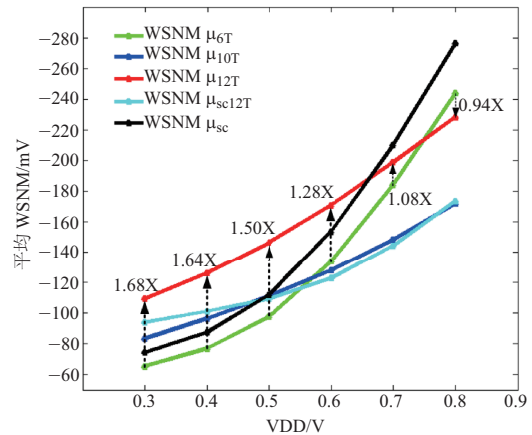


图7 WSNM均值随VDD变化

Fig.7 Mean WSNM vs VDD

具有最强的写能力, 在0.4V电压下12T单元写能力相比于6T单元提升64%。

读速度由字线WL打开后位线形成50mV电压差需要的时间表示, 位线上的单元数量为64, 仿真结果如图8所示, 可以看出SC 12T单元因为具有低阈值访问管读速度最快, 但牺牲了大量RSNM。SC单元放电路径上堆叠的NMOS管使其访问速度最慢。因同一条位线上非访问单元的漏电, 10T单元的读速度比6T和12T单元慢。6T单元和12T单元因为都具有位线漏电补偿能力, 二者访问速度相当。

3.4 漏电流与位交织

单元的总漏电包括电源VDD的漏电(latch部分)和经两条位线的漏电, 5种单元的漏电流随工作电压的变化关系如图9所示。SC 12T单元中低阈值访问管使其漏电流远大于其他4种单元。由于高阈值管的使用, 12T单元的漏电流稍低于6T单元。

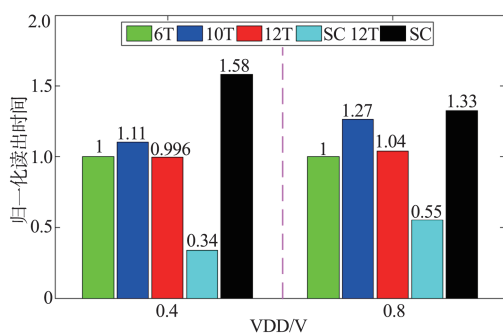


图8 归一化读出时间

Fig.8 Normalized access time

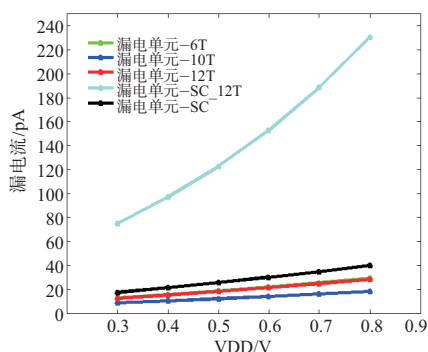


图9 漏电流与电压关系

Fig.9 Leakage current vs VDD

图10给出了12T单元写操作时选中单元、半选单元和未选中单元的状态,可以看出同一行上的半选单元cell1和同一列上的半选单元cell2的内部存储节点都不会受位线电平的干扰,即12T单元适用于位交织结构。

3.5 位线漏电补偿与面积

为了说明位线漏电流对读操作的影响,对6T、10T和12T三种单元做1000次蒙特卡罗瞬态仿真,结果如图11

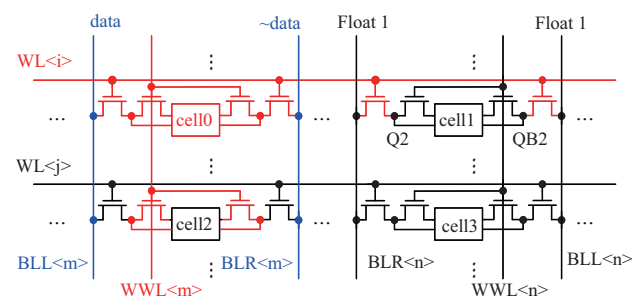


图10 写操作时选择单元、半选单元和未选单元

Fig.10 Select, half-select and unselect cells during write operation

所示。对于低压工作的差分10T单元来说位线上非访问单元的总漏电可能超过正常的开启电流,导致两边位线逻辑0和逻辑1界限模糊,感知裕量的消失使数据读出失败,并且位线漏电流对PVT变化敏感且受存储数据模式的影响,如果采用外围电路补偿位线漏电则会引入额外的能量消耗和速度损失。因此单元中自适应地漏电补偿功能对于可靠的数据读出是必要的。12T单元中BLLC部分PMOS管能够在读操作时自适应地补偿位线漏电,因此感知裕量更大、读速度更快。6T单元也具有这种漏电补偿能力。

图12给出了6T单元和新型12T单元的版图结构(SMIC 55nmLL工艺,采用普通逻辑电路DRC规则),最终6T单元的面积为 $1.62\mu\text{m} \times 0.57\mu\text{m}$,12T单元的版图面积为 $2.865\mu\text{m} \times 0.83\mu\text{m}$,12T单元的面积是6T单元面积的2.58倍,面积增大的原因有两个,一是12T单元中MOS管的数量多,二是多阈值的设计方法使部分有源区不能复用。

3.6 对比总结

5种单元各种指标的仿真对比总结见表1,可以看出新型12T单元集合了其他4种单元的各种优点,很好地均衡了

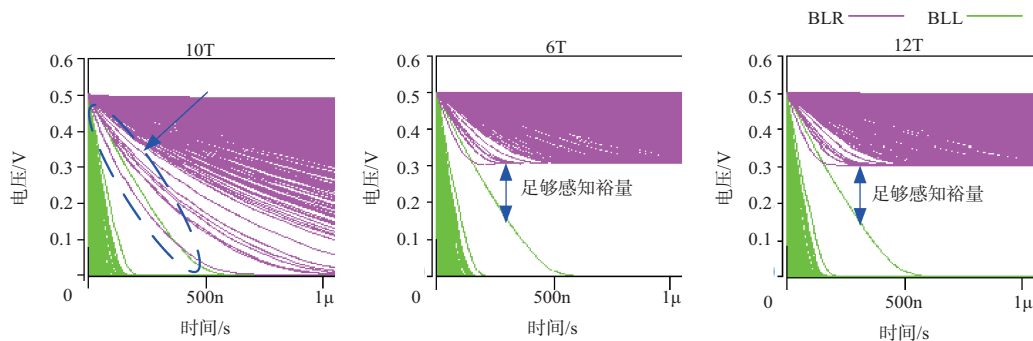


图11 漏电流与电压关系

Fig.11 Leakage current vs VDD

稳定性、写能力、漏电与访问速度,并且同时具有位线漏电补偿和适用与位交织的特性。

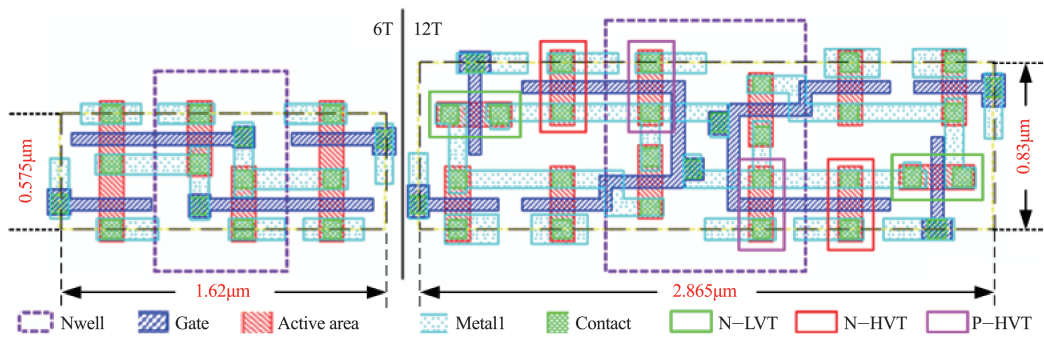


图12 6T单元和12T单元版图
Fig.12 Layout of 6T cell and 12T cell

表1 对比总结
Table 1 Summary comparisons

单元类型	6T	10T	SC	SC 12T	本文
来源	NA	JSSC[15]	JSSC[16]	ICSICT[17]	NA
保持噪声容限	1X	0.99X	1.17X	1.16X	0.86X
读噪声容限	1X	2.1X	1.5X	1.1X	1.8X
写噪声容限	1X	1.3X	1.1X	1.3X	1.6X
漏电流	1X	0.66X	1.38X	6.25X	0.98X
访问时间	1X	1.11X	1.58X	0.34X	1X
单元面积	1X	NA	~2.1X	NA	2.58X
是否具有位线 漏电补偿能力	是	否	是	是	是
半选单元是 否不受干扰	否	是	否	是	是

4 结束语

本文设计了一种读稳定性好、写能力强、静态功耗小、具有位线漏电补偿能力并适用于位交织结构的新型亚阈值12T单元,该12T单元能够工作在更低的工作电压下,因此在低电压SRAM设计领域更具有竞争力,芯片更低的工作电压有利于降低航空电子设备的功耗。12T单元的缺点是面积较大。

AST

参考文献

[1] Kim C H I. Ultra-low-power DLMS adaptive filter for hearing aid applications[J]. IEEE Transactions on Very Large Scale Integration(VLSI) Systems, 2003,11(6): 1058-1067.
[2] Liu D, Svensson C. Trading speed for low power by choice of supply and threshold voltages[J]. IEEE Journal of Solid-State Circuits, 1993 (28):10.

[3] Mukhopadhyay S. Modeling of failure probability and statistical design of SRAM array for yield enhancement in nanoscaled CMOS[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2005 (24): 1859.
[4] Suzuki T. A stable 2-port sram cell design against simultaneously read/write-disturbed accesses[J]. IEEE Journal of Solid-State Circuits, 2008(43): 2019.
[5] Sinangil M E. A 28nm 2 Mbit 6 T SRAM with highly configurable low-voltage write-ability assist implementation and capacitor-based sense-amplifier input offset compensation [J]. IEEE Journal of Solid-State Circuits, 2016(51):557.
[6] Chen Y H. A 16nm 128Mb SRAM in high- κ metal-gate FinFET technology with write-assist circuitry for low-VMIN applications[J]. ISSCC Digest Technical Papers, 2014(12): 238.
[7] Karl E. A 4.6GHz 162Mb SRAM design in 22nm tri-gate CMOS technology with integrated read and write assist circuitry[J]. IEEE Journal of Solid-State Circuits, 2013(48):150.
[8] Song T. A 14nm Fin FET 128Mb 6T SRAM with VMIN-enhancement techniques for low-power applications[J]. ISSCC Digest Technical Papers, 2014(10): 232.
[9] L Chang. A 5.3GHz 8T-SRAM with operation Down to 0.41V in 65nm CMOS[J]. IEEE Symposium on Very Large Scale Integration, 2007(10): 252.
[10] Cai Jiangzheng. A PMOS read-port 8T SRAM cell with optimized leakage power and enhanced performance[J]. IEICE Electronics Express, 2019,14(3):20161188.
[11] Kim T H. A 0.2V, 480kb Subthreshold SRAM With 1k Cells Per Bitline for Ultra-Low-Voltage Computing[J]. IEEE Journal

- of Solid-State Circuits, 2008(43): 518.
- [12] Hazucha P. Neutron soft error rate measurements in a 90-nm CMOS process and scaling trends in SRAM from 0.25 μ m to 90nm generation[J]. IEEE IEDM, 2003(21): 51.
- [13] Maiz J. Characterization of multi-bit soft error events in advanced SRAMs[J]. IEEE IEDM, 2003(21): 41.
- [14] Sinangil Y, Chandrakasan A P. A 128Kbit SRAM with an embedded energy monitoring circuit and sense-amplifier offset compensation using body biasing[J]. IEEE Journal of Solid-State Circuits, 2014(49): 2730.
- [15] Abouzeid F. Scalable 0.35V to 1.2V SRAM bitcell design from 65 nm CMOS to 28 nm FDSOI[J]. IEEE Journal of Solid-State Circuits, 2014(49): 1499.
- [16] Kulkarni J P. A 160mV robust schmitt trigger based subthreshold SRAM[J]. IEEE Journal of Solid-State Circuits, 2007(42): 2303.
- [17] Cai Jiangzheng. High noise margin 12T subthreshold SRAM

cell with enhanced read speed and eliminated half-selected problem[C]// IEEE Conference on Solid-state and Integrated Circuit Technology, 2016.

作者简介

孔得斌(1993-)男, 硕士。主要研究方向: 低电压嵌入式存储器。

Tel: 010-82995570

E-mail: kongdebin@ime.ac.cn

乔树山(1981-)男, 博士, 研究员。主要研究方向: 低功耗处理器, 电力线载波通信。

Tel: 010-82995570

E-mail: qiaoshushan@ime.ac.cn

袁甲(1985-)男, 博士, 副研究员。主要研究方向: 低功耗处理器。

Tel: 010-82995570

E-mail: yuanjia@ime.ac.cn

A New Type of Subthreshold SRAM Bitcell Design

Kong Debin*, Qiao Shushan, Yuan Jia

Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China

Abstract: Lowering supply voltage decreases chip power significantly, thus further reducing energy consumption of avionics. A new type of 12T bitcell is proposed to enable SRAM to work under low voltage. To make bit-interleaving structure feasible and eliminate half-select disturbance, the proposed cell features single-passgate and dual-passgates for reading and writing operation respectively. Additionally, the access path is decoupled by dedicated transistors from the true storage node, which both enhances the reading stability and ensures enough sensing margin. Multi-threshold voltage metric is utilized to improve writability and lower leakage consumption. Simulation results show that the proposed cell offers 1.8X Read Static Noise Margin (RSNM) and 1.6X negative Write Static Noise Margin (WSNM) compared with traditional 6T cell at 0.4V, and sensing margin and access performance are also improved compared with 10T cell. Hence, the proposed 12T cell is more suitable for low power operation.

Key Words: low power consumption; SRAM; new bitcell; bit-interleaving; bitline leakage compensation; multi-threshold

Received: 2019-06-17; Revised: 2019-09-02; Accepted: 2019-11-11

Foundation item: Aeronautical Science Foundation of China (201743X2002)

*Corresponding author. Tel.: 010-82995570 E-mail: kongdebin@ime.ac.cn