

面向机载离散量芯片接口防雷需求的TVS结构及工艺设计



魏敬奇¹, 乔明^{1,2}, 齐钊^{1,3}, 陈泓全^{1,3}, 蒲石⁴

1. 电子科技大学 电子薄膜与集成器件全国重点实验室, 四川 成都 610054

2. 电子科技大学 广东电子信息工程研究院, 广东 东莞 523808

3. 电子科技大学 重庆微电子工业技术研究院, 四川 重庆 401332

4. 西安翔腾微电子科技有限公司, 陕西 西安 710069

摘要:随着航空技术的发展,电子设备设施已广泛应用于机载系统中,而离散量信号作为飞机航电系统的最重要的信号之一,应用在机电控制信号、设备状态指示信号等多种场景。离散量信号具有产生电路简单、抗干扰能力强的特性,使其非常适合应用于机上电磁环境恶劣位置的信号传输,但这对机载离散量处理芯片的可靠性也提出了极高的要求,因此雷电防护便成为机载离散量处理芯片设计过程中的必要考虑因素。针对机载离散量处理芯片信号接口的雷电防护要求,本文提出了一种瞬态电压抑制器(TVS)阵列结构以及相应工艺设计,用作机载离散量处理芯片的防雷击器件,经测试,该TVS电流能力达到5.26A,且可承受±11kV的静电放电(ESD)应力,具有较强的浪涌和雷电保护能力,因此可以为机载离散量处理芯片中的高速数据接口提供强大的雷击和ESD保护,具有较强的应用价值。

关键词:机载系统; 离散量; 雷电防护; 瞬态电压抑制器; 高速数据接口

中图分类号: TN406

文献标识码: A

DOI: 10.19452/j.issn1007-5453.2024.12.012

在飞机的航电系统中,离散量信号被广泛应用于传输机电控制、设备状态指示等,具有产生电路简单、抗干扰能力强的优点,是航电系统中最重要的信号之一。因此离散量信号被大量应用于飞机上电磁环境最恶劣位置的信号传输,这对离散量处理芯片的可靠性提出了极高的要求。雷电作为自然界的普遍现象,其能量和破坏力极强,对离散量信号的传输以及飞行安全有着严重的威胁^[1-6]。

瞬态电压抑制器(TVS)是最常用的离散量处理芯片接口的雷电保护器件。TVS是一种二极管类型的用来保护芯片的高效能防护分立器件,具有响应速度快、漏电流小、瞬态功率高、体积小等特点,目前已经广泛应用于机电系统、电源设备、电磁干扰抑制、输入输出接口、通信设备、继电器等各个领域的过压保护。当TVS两端受到巨大的瞬态浪涌电流或电压的冲击时,能通过雪崩击穿使自身原本的高阻态转变为低阻态,吸收高达数千瓦的瞬态脉冲功率,并将两端的电压

钳位在一个较为安全的预设值,有效地保护电子系统中的精密元器件免受各种外界或内部过压的损伤或损毁^[7-14]。

目前,国内外对机载系统的防雷设计的相关研究较为深入,美国自20世纪60年代率先开展飞机雷电防护试验研究工作, Littelfuse、安森美等国外公司近年来不断推出超低电容防雷产品,国内也有越来越多的研究所、军工企业和高校设立专门防雷团队开展航空电子领域雷电防护研究,进行片内外大功率防雷器件的设计制造^[15-18]。片外分立式TVS会进行专门制造工艺设计,无须考虑是否可集成化的问题,而对机载芯片的雷电防护设计属于片内电路设计,必须考虑可集成情况。因此,本文提出一种基于TVS的全新工艺和模块设计,在现有成熟的集成工艺技术基础上进行优化,实现了低电容、多接口保护的全集成TVS阵列模块防雷需求,用于保护机载芯片在雷电恶劣环境下高频信号传输的完整性。

收稿日期: 2024-04-09; 退修日期: 2024-07-18; 录用日期: 2024-09-12

基金项目: 航空科学基金(201943080002); 广东省基础与应用基础研究基金(2021B1515020031); 中国博士后科学基金(2021M700684); 四川省科技计划项目(2022YFG0165); 重庆市自然科学基金(cstc2021jcyj)

引用格式: Wei Jingqi, Qiao Ming, Qi Zhao, et al. TVS structure and process design for lightning protection requirements of airborne discrete chip interface[J]. Aeronautical Science & Technology, 2024, 35(12):96-102. 魏敬奇, 乔明, 齐钊, 等. 面向机载离散量芯片接口防雷需求的TVS结构及工艺设计[J]. 航空科学技术, 2024, 35(12):96-102.

1 TVS防护原理和方法

雷电防护就是让出现在接口处的雷电能量按设计好的路径通过防护器件泄放到地,从而使后面的被保护电路免受雷电影响,保持正常工作。TVS是一种雪崩击穿二极管,当其两端承受的电压超过一定值时,TVS便被反向击穿,产生大量的雪崩载流子,使得管子由原来的高阻态转变为低阻态,在一瞬间形成一个低阻泄放路径,将管子两端的大电流导出到地,同时将两端电压钳位在一个预先设定的值,进而保护与其并联的电路免受雷电伤害。TVS的使用接法和工作时的电流电压特性曲线如图1所示。

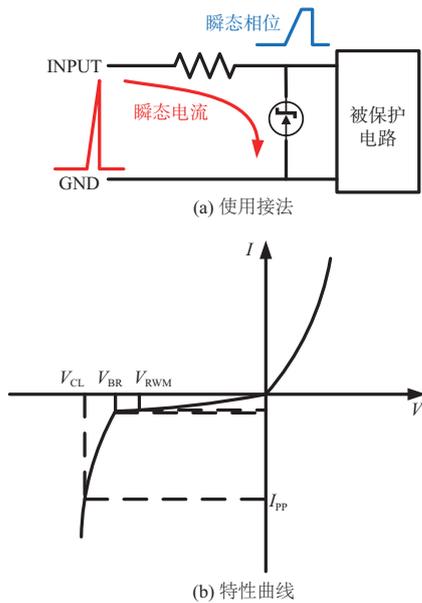


图1 TVS的使用接法和特性曲线

Fig.1 Using method and characteristic curve of TVS

结合图1(b)所示的TVS电流电压特性曲线可以看出,TVS的反向电压有三个典型值电压。当TVS两端承受的反向电压大于击穿电压 V_{RWM} 后,管子发生反向击穿;随着施加的反向电压增大到雪崩击穿电压 V_{BR} 后,管子发生雪崩击穿,载流子数量急剧增加,电阻骤降能够泄放极大的电流,所以为了避免TVS提前开启而干扰被保护电路正常工作,被保护电路最大工作电压不能高于 V_{BR} ;根据外界雷击产生的瞬态电流峰值 I_{PP} ,TVS两端电压被钳位在一稳定安全值,即钳位电压 V_{CL} ,实现了对被保护电路的雷电保护作用。

2 防雷击TVS阵列结构和工艺设计

针对机载离散量芯片的雷电防护,本文设计了一种TVS阵列及相应工艺,并且考虑到机载芯片接口有大量的高频信号需要处理,寄生电容也是一个需要考虑的很重要

的因素,根据电容阻抗的计算公式 $Z=1/(2\pi fC)$,频率 f 越高,阻抗值越小,则需要传输的高频信号便容易被防雷器件极小的电容短路到地,造成信号传输失效,如图2所示,而降低电容值 C 会抵消掉一部分频率的影响,于是在原本TVS阵列结构基础上,对其电容特性也做了进一步的优化。

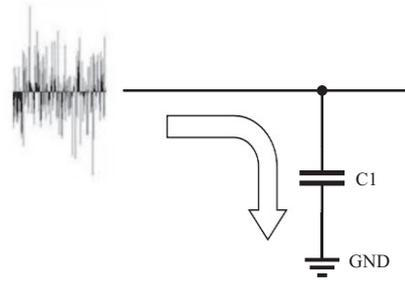


图2 高频数据信号被小电容短路到地

Fig.2 High frequency data signal is short circuited to ground by a small capacitor

2.1 防雷击TVS阵列结构设计

图3所示为该TVS阵列的基线电路,本文针对5V工作电压机载芯片端口的应用,齐纳二极管(ZD)的击穿电压设计为6~8V,同时,为了保证电流能按照设计时预定的路径进行泄放,高侧二极管(D1)和低侧二极管(D2)的耐压设计要高于齐纳管ZD的击穿电压,设计为20V左右,防止其提前击穿破坏器件性能。

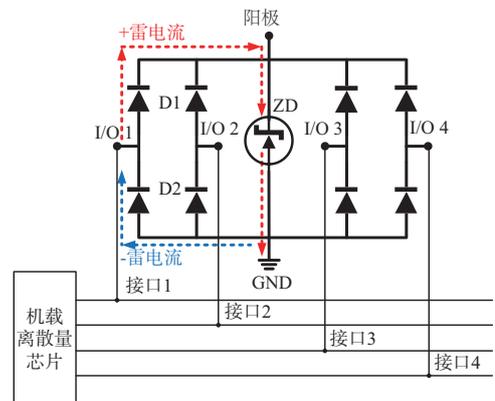


图3 四端口TVS阵列

Fig.3 Four-ports diode array of TVS

该基线电路工作原理为:当雷电出现在芯片接口处并产生正向雷电流流入时,随着端口电压上升到D1的导通压降和齐纳管的击穿电压之和时,伴随着击穿形成了从端口到地的低阻泄放路径,而低侧二极管D2耐压设计要高于所承受的雷电电压,所以由端口经D2到地的路径是关断的,这种情况下雷电流的泄放路径为接口-I/O-D1-ZD-GND;当雷电产生负向雷电流时,D1截止而D2正向导通,形成接口-I/O-

D2-GND这一泄放路径;当雷电流直接出现在防雷击器件的阳极端(Anode)时,直接由其自身通过Anode、ZD、GND进行泄放。被保护芯片处于正常工作状态时,防雷击器件并未击穿导通,处于关断状态,因此不会干扰芯片正常工作。

该阵列有4个输入输出(I/O)端口,每个I/O都可以单独与被保护的机载离散量芯片接口相连,并且通过两个相反导向的二极管D1和D2连接中央的核心防雷齐纳二极管ZD,形成I/O、D1、Anode、ZD、GND、D2、I/O这一基本电路,每个基本电路都可以独立完成对雷电的防护,因此可以同时4个接口进行保护。每个I/O之间都会通过其中一个反偏二极管进行电流的阻断,如当I/O1的正向雷电流企图流向I/O2时,因为I/O2电路中的D1处于反偏状态,所以隔绝了电流的通路,实现了多端口的相互隔离。同时,根据电容的串联特性,串联之后的总电容会比其中单个最小的电容值还要小,阵列器件中的ZD因为需要泄放大的雷电流所以需要设计为大的面积,根据PN结电容的计算公式,面积越大,其寄生电容值势必越大,而与其串联的两个二极管D1和D2具有小面积即小电容值,所以该防雷TVS阵列总的电容值会比D1和D2还小,所以二极管还具有可以有效降低寄生电容的作用。

TVS阵列三维结构图(以单端口I/O1为例)如图4所示。其中D1阴阳两极位于具有比深N型阱区(DN)掺杂浓度高的中等掺杂浓度的中压P型阱区(MVPW)内,载流子浓度高,电阻率低,相同电流条件下可以有效降低钳位电压,并且提高了功率密度,增强了器件的防雷性能。同时,为了避免纵向的寄生PNP管开启,在阳极P+区左侧增加N+接触区并跨接MVPW和DN使二者等电位,切断开启条件。D2被设计为基于DN条件下制造的具有常规性能的二极管。

为了提高其瞬态电流能力,在D1阳极区域引入了交叠终端技术(OLT)^[19],即在D1的阳极P+区域间断性地引入了一些离散的N+区域形成混合阳极。阳极N+区域的引入,增加两条新电流泄放路径,一条为可控硅整流器(SCR)路径(P+/MVPW/DN/MVPW/N+),另一条为NPN路径(阳极

N+/MVPW/N+)。NPN使原本二极管路径(P+/MVPW/N+)电流被NPN放大,当电流被放大到一定程度后,NPN便会触发SCR开启,产生强力的snapback现象,抑制了钳位电压的增加,也提高了D1的瞬态电流能力。

2.2 防雷击TVS阵列工艺设计

此外,针对ZD的工艺技术,用一种新型齐纳阱(ZW)取代常规高能齐纳二极管P型注入,可以明显减少由晶格损伤引起的齐纳管电流泄漏。二者工艺流程区别在于新ZW工艺在MVPW注入后插入低能齐纳注入步骤,在相应的P型阱区位置表面注入杂质,然后通过MVPW退火工艺同时形成ZW和MVPW。在整个齐纳工艺中,避免了高能注入步骤,减少了晶格损伤,而新工艺形成的ZW也有足够高的浓度与N+形成齐纳结。

另外,在没有沟槽隔离技术的情况下,TVS阵列中任意两个I/O端口之间通过DN/深P型阱区(DP)阻挡,理论上不会有电流泄漏,但是由于DP阱掺杂浓度较低,且其表面需要覆盖金属互连线所需的场氧化层,由于磷和硼在SiO₂中的分凝系数不同,会出现“吸硼排磷”效应,DP阱内上表面易出现反型成N,形成一条电子电流通路,如图5所示,产生表面的泄漏电流,为了消除这一泄漏电流通路,本结构在DP阱表面注入高浓度的P+区,消除了由于氧化层吸硼排磷效应可能会反型的可能,从而使泄漏电流通路被具有P+场截止环的DP阻断,同时也实现了良好的工艺兼容性。

3 测试结果与讨论

采用改进型0.5μm的BCD集成工艺技术制造了两种不同的TVS阵列来测试防雷能力,分别为没有OLT结构的Device 1和具有OLT结构的Device 2。其中,Device 2根据是否具有P+截止环制造出额外两种TVS阵列,此外又根据齐纳阱的制造工艺被制造成三种,分别为整块ZP阱工艺(ZP阱包裹阴阳两极)、离散ZP阱工艺(ZP阱仅包裹阳极N+区)和整块ZW阱工艺(ZW阱包裹阴阳两极),来讨论两种方案对漏电流的影响。

3.1 静态漏电流测试

根据图5所分析的静态漏电路径,选择I/O1和I/O2两个端口进行测试。图6展示了两种优化漏电方案下漏电测试结果。图6(a)为I/O1和I/O2两个端口之间的漏电测试,将I/O2端口接地,在I/O1端口施加电压,测试I/O1端口的漏电大小。由于该TVS阵列被设计为针对5V工作电压机载芯片的应用,所以需要测试器件在0~5V电压下还未开启时的静态漏电流 I_{leak} 。静态漏电流标志着器件的静态功耗,

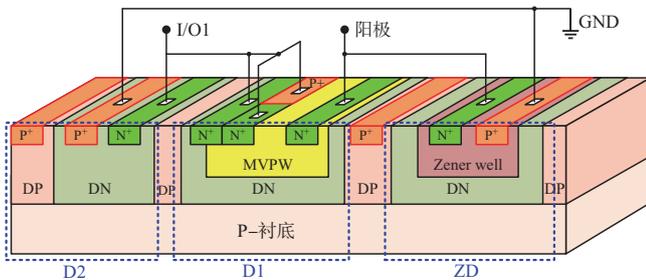


图4 TVS阵列三维结构图

Fig.4 3D structure diagram of the TVS array

即器件在未开启时的耗电量大小,静态漏电流越小器件静态功耗越低,越节能。从图6(a)中可以看出,在0~5V电压范围内,没有P+截止环结构的TVS阵列,刚加电压就出现限流情况,即端口之间没有耐压,存在电流很大的漏电路径(见图5),其漏电大小基本维持在所限电流值的10 μ A左右;而具有P+截止环结构的TVS阵列,其漏电流在0~5V电压范围内相比之下则大大降低,最开始基本维持在0.01nA,远低于没有P+截止环的结构,之后随着施加的电压值增大,在5V之前始终低于没有P+截止环的结构,在反向偏压下,载流子数量也逐渐增大,直到器件开启电流才缓慢升高到所限电流值,这说明P+截止环具有很显著的降低器件静态漏电流的作用,对于器件的静态功耗的减小有很大的帮助。

图6(b)为采用三种不同齐纳阱制造工艺制造的三种TVS阵列传输线脉冲(TLP)测试,比较了三种工艺下常规ZP工艺齐纳管和新的ZW工艺的击穿电压BV和漏电流 I_{leak} 。可以明显看出,常规离散ZP工艺由于仅包裹阳极N+面积小,且PW浓度低,导致动态电阻大、钳位电压也大,电流在达到18A左右时器件便被烧毁;整块ZP工艺由于ZP面积大解决了动态电阻大的问题,且电流到达27.5A时也没被烧毁;新的ZW工艺相比整块ZP工艺面积基本相同,动态电阻也基本相同,同时还实现了较低的漏电流,约为10nA,而且其击穿电压也达到了期望的6.5V,同时,ZW工艺也提高了单个齐纳管的TLP稳定性,相比之下还具有较低动态电阻 R_{DY} 。

3.2 OLT 结构性能提升测试

图7为对 Device 1 和 Device 2 两种器件进行 TLP 测试的

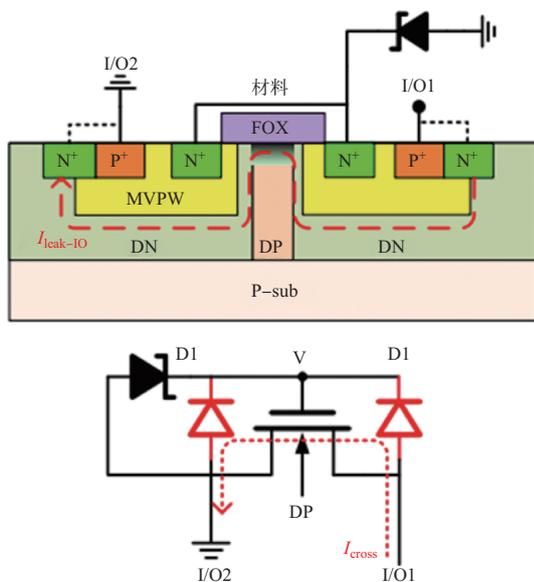
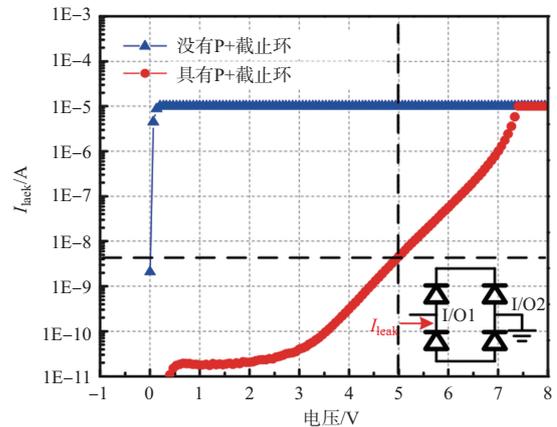
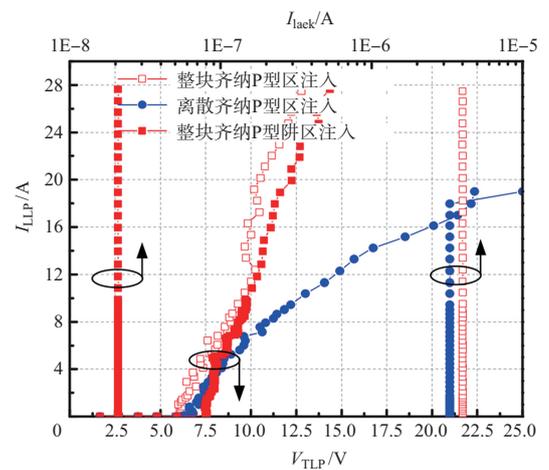


图5 I/O1 和 I/O2 之间的静态漏电路径

Fig.5 The static I_{leak} path from I/O1 to I/O2



(a) P+截止环对TVS阵列漏电流影响测试曲线



(b) 不同齐纳阱工艺TVS阵列TLP测试曲线

图6 不同结构和工艺设计下TVS阵列测试对比曲线
Fig.6 Test curves of TVS array under different structure and process design

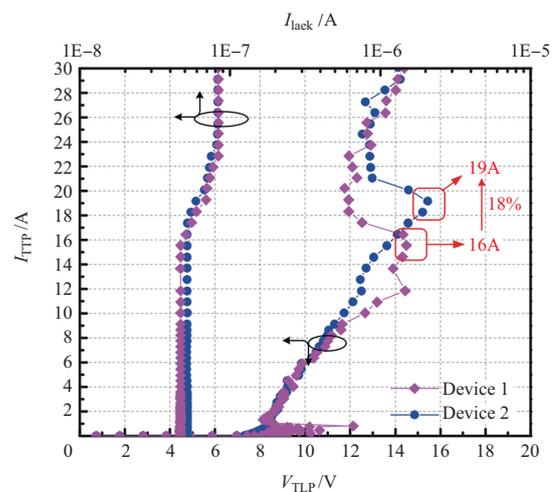


图7 Device 1 和 Device 2 的 TLP 测试曲线

Fig.7 TLP test curves of Device 1 and Device 2

结果曲线,其中曲线在第二次转折点时的电流值为器件的二次崩溃电流 I_{c2} ,说明这是器件最大能承受的电流值,当外界雷电流超过这一电流值,器件便会发生不可恢复的致命性损毁,也代表着器件的过流能力。从图7可以看出,对于没有 OLT 结构的 Device 1 的二次崩溃电流 I_{c2} 约为 16A,而具有 OLT 结构的 Device 2 的二次崩溃电流 I_{c2} 约为 19A,提升幅度大概为 18%,说明 Device 2 在相同的外界环境下,可以承受住比 Device 1 更大的瞬态雷击电流,具有更强的防雷性能,并且在提升防雷能力的同时漏电也基本没有增加,依旧维持在不到 100nA,足以证明 OLT 效果是显著的,有 18% 的瞬态电流吸收能力的提升,且不会增加器件的漏电流,提高了器件的瞬态雷电流吸收能力,进一步提升了防雷性能。

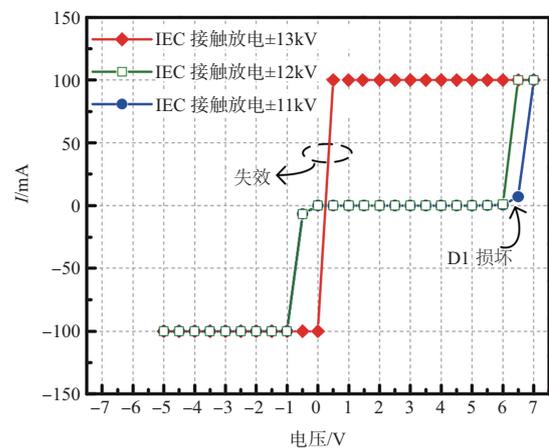
3.3 防雷能力测试

TVS 阵列在 IEC 61000-4-2 标准的静电枪测试和 IEC 61000-4-5 标准的 8/20 μ s 浪涌测试两种不同静电标准测试下的测试结果曲线如图 8 所示,IEC 61000-4-2 标准模拟的是芯片内外环境产生的静电放电,IEC 61000-4-5 标准的 8/20 μ s 浪涌为模拟大气环境中的雷电击打事件。针对两种测试标准,分别搭建了相应的测试平台。其中,IEC 61000-4-2 标准的测试电压从 ± 1 kV 开始施加,步长为 ± 1 kV,每次电压测试后确认芯片是否被烧毁,完好无损再继续下一次测试,得到的测试结果如图 8(a)所示,可以看出,芯片通过了 ± 11 kV 的雷击测试,但当正向电压应力达到+12kV 时,曲线左偏 0.5V,此时 D1 发生击穿,当加到 13kV 时,正向泄放因 D1 被烧毁完全失效。

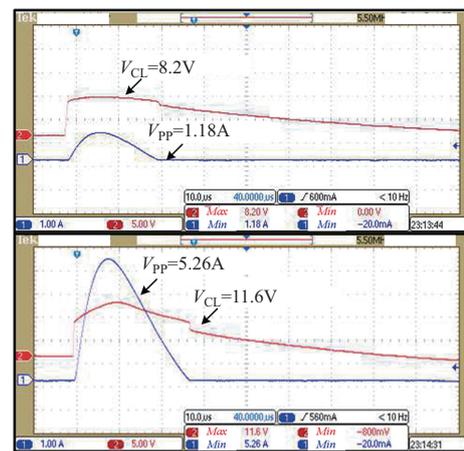
在 IEC 61000-4-5 静电标准的测试下,采用 8/20 μ s 波形,对芯片每隔 10s 施加一次梯形的脉冲信号,共施加 5 次,脉冲电压等级为 10V 和 20V,测得的峰值电流和钳位电压取均值进行记录,测试结果如图 8(b)所示,该 TVS 阵列在 10V 电压等级下峰值电流 I_{pp} 可达到 1.18A,钳位电压为 8.2V;在 20V 电压等级下峰值电流 I_{pp} 可达到 5.26A,钳位电压为 11.6V。可见,此 TVS 阵列可顺利通过 5A 的浪涌电流测试,且具有良好的电压钳位能力。

4 结束语

本文提出了一种针对机载离散量芯片接口防雷 TVS 器件及相应的工艺优化设计。该 TVS 阵列采用基于改进型的 BCD 工艺进行制造,可以同时为 4 个高速数据接口进行保护,且通过两个相反导向的二极管作为桥梁连接核心防雷齐纳二极管进行放电,不仅降低了寄生电容,使其可以在高频数据传输情况下工作,而且实现了多端口的相互隔离。



(a) IEC 61000-4-2 静电枪接触模式测试



(b) IEC 61000-4-5 浪涌测试

图 8 TVS 阵列在标准 ESD 枪和 EOS 测试下的曲线
Fig.8 Standard ESD GUN and EOS test curves of TVS array

同时,应用 OLT 技术提高了瞬态电流能力,相比原结构的 16A 二次崩溃电流提升了 18% 的电流泄放能力,达到了 19A 的电流泄放性能。此外,通过增加 P+ 截止环结构使得任意两端口之间漏电大幅降低,达到约为 10nA 的漏电等级。在 IEC 61000-4-2 和 IEC 61000-4-5 两种雷电标准测试下,此防雷击 TVS 阵列能够承受 ± 11 kV 的系统级静电放电和 5.26A 的 8/20 μ s 浪涌雷击,且钳位电压较低,为 11.6V。基于这些技术优化结构,该 TVS 阵列可以为机载离散量处理芯片接口提供 4 通道稳健且无锁存的雷击保护,能够更好地维护航空电子系统正常工作。

AST

参考文献

- [1] 张翠,王斌,周家润,等. 航天产品全过程的 ESD 控制[J]. 质量与可靠性, 2021(2): 6-10.

Zhang Cui, Wang Bin, Zhou Jiarun, et al. Full-processing ESD

- control of aerospace products[J]. *Quality and Reliability*, 2021 (2): 6-10. (in Chinese)
- [2] 王斌. 航天产品静电防护管理与过程控制[J]. *航天返回与遥感*, 2021, 42(4): 129-136.
Wang Bin. ESD management and process control of aerospace products[J]. *Spacecraft Recovery & Remote Sensing*, 2021, 42 (4): 129-136. (in Chinese)
- [3] 王浩, 牛伟, 党立. 一种高可靠离散量输入调理电路设计与实现[J]. *航空计算技术*, 2022, 52 (2): 107-110.
Wang Hao, Niu Wei, Dang Li. Design and implementation of high reliable discrete input conditioning circuit[J]. *Aeronautical Computing Technique*, 2022, 52 (2): 107-110. (in Chinese)
- [4] 薛昭洋, 郭鑫, 罗德杰, 等. 离散量接口电路的4级雷电防护设计[J]. *山西电子技术*, 2023(3): 22-25.
Xue Zhaoyang, Guo Xin, Luo Dejie, et al. Class 4 lightning protection design for discrete interface circuits[J]. *Shanxi Electronic Technology*, 2023(3): 22-25. (in Chinese)
- [5] 熊秀, 李红军. 武器装备防雷标准体系及应用研究[J]. *装备环境工程*, 2021, 18(8): 14-19.
Xiong Xiu, Li Hongjun. Study on lightning protection standard systems and application of weapon equipment[J]. *Equipment Environmental Engineering*, 2021, 18(8): 14-19. (in Chinese)
- [6] 刘明峰, 徐晟阳. 一种改进型MLSCR-ESD结构设计分析[J]. *电子与封装*, 2019, 19(4): 41-44.
Liu Mingfeng, Xu Shengyang. Analysis on the design of an improved MLSCR-ESD[J]. *Electronics & Packaging*, 2019, 19 (4): 41-44. (in Chinese)
- [7] Lin Chunyu, Wu Yihan, Ker M D. Low-leakage and low-trigger-voltage SCR device for ESD protection in 28nm high-k metal gate CMOS process[J]. *IEEE Electron Device Letters*, 2016, 37(11): 1387-1390.
- [8] Liang Hailian, Gu Xiaofeng, Dong Shurong, et al. Re-embedded ldmos-scr with high holding current for high-voltage I/O ESD protection[J]. *IEEE Transactions on Device and Materials Reliability*, 2015, 15(4): 495-499.
- [9] 蔡志勇, 包贵浩. 民用飞机雷电间接效应防护设计与适航验证[J]. *航空科学技术*, 2017, 28(2): 7-12.
Cai Zhiyong, Bao Guihao. The protection design and airworthiness certification for indirect effects of lightning on civil aircraft[J]. *Aeronautical Science & Technology*, 2017, 28 (2): 7-12. (in Chinese)
- [10] 彭平, 张金华. 低空系留气球防雷设计[J]. *航空科学技术*, 2011(1): 25-27.
Peng Ping, Zhang Jinhua. Lighting proof study on low-altitude tethered balloon[J]. *Aeronautical Science & Technology*, 2011 (1): 25-27. (in Chinese)
- [11] 徐敏杰, 周琼琼, 葛伟坡, 等. 一种双向超低电容TVS器件的研制[J]. *电子器件*, 2021, 44(4): 779-781.
Xu Minjie, Zhou Qiongqiong, Ge Weipo, et al. Development and fabrication of a symmetrical ultra-low capacitance TVS device[J]. *Chinese Journal of Electron Devices*, 2021, 44(4): 779-781. (in Chinese)
- [12] 苏海伟, 赵德益, 吕海凤, 等. 一种高功率密度低钳位电压TVS结构[J]. *集成电路应用*, 2019, 36(2): 35-37.
Su Haiwei, Zhao Deyi, Lyu Haifeng, et al. Study of a TVS structure with high power density and low clamping voltage[J]. *Application of Integrated Circuit*, 2019, 36(2): 35-37. (in Chinese)
- [13] 黄玉梅, 史超, 王海红. 低电容TVS二极管外延技术研究[J]. *集成电路应用*, 2017, 34(6): 60-63.
Huang Yumei, Shi Chao, Wang Haihong. Study on epitaxial growth process of low capacity TVS[J]. *Application of Integrated Circuit*, 2017, 34(6): 60-63. (in Chinese)
- [14] 杨周伟, 翟东媛. 高抗ESD瞬态电压抑制器的研究[J]. *功能材料与器件学报*, 2013(4): 169-171.
Yang Zhouwei, Zhai Dongyuan. Research on high anti-ESD transient voltage suppressor[J]. *Journal of Functional Materials and Devices*, 2013(4): 169-171. (in Chinese)
- [15] 周萍, 吕英华, 陈志红, 等. 航天系统雷电防护技术发展综述及展望[J]. *宇航学报*, 2018, 39(8): 827-837.
Zhou Ping, Lyu Yinghua, Chen Zhihong, et al. Review and prospect of lightning protection technology for an astronautic system [J]. *Journal of Astronautics*, 2018, 39(8): 827-837. (in Chinese)
- [16] 师毓, 刘源, 王雅荟. 基于TVS器件的航空电子产品接口电路雷电防护功能设计[J]. *信息技术与信息化*, 2022(6): 178-181.
Shi Yu, Liu Yuan, Wang Yahui. Design of lightning protection function of avionics interface circuit based on TVS device [J]. *Information Technology and Informatization*, 2022(6): 178-181. (in Chinese)
- [17] 杨启帆, 张道泽, 朱恩亮, 等. 基于TVS管的机载电子设备闪

- 电防护设计[J]. 航空计算技术, 2020, 50(6): 96-100.
- Yang Qifan, Zhang Daoze, Zhu Enliang, et al. Lightning protection design for airborne electronic equipment based on TVS devices[J]. Aeronautical Computing Technique, 2020, 50(6): 96-100. (in Chinese)
- [18] 陈龙. 高速接口的浪涌保护研究与TVS阵列仿真设计[D]. 成都: 电子科技大学, 2022.
- Chen Long. Research on surge protection of high-speed interface and simulation design of TVS array [D]. Chengdu: University of Electronic Science and Technology of China, 2022. (in Chinese)
- [19] Qi Zhao, Qiao Ming, Liang Longfei, et al. Mix-mode forward-biased diode with low clamping voltage for robust ESD applications[J]. Electronics Letters, 2020, 56(8): 398-400.

TVS Structure and Process Design for Lightning Protection Requirements of Airborne Discrete Chip Interface

Wei Jingqi¹, Qiao Ming^{1,2}, Qi Zhao^{1,3}, Chen Hongquan^{1,3}, Pu Shi⁴

1. State Key Laboratory of Electronic Thin Films and Integrated Devices of UESTC, Chengdu 610054, China

2. Guangdong Institute of Electronic and Information Engineering of UESTC, Dongguan 523808, China

3. Chongqing Institute of Microelectronics Industry Technology of UESTC, Chongqing 401332, China

4. Xi'an Xiangteng Micro-Electronic Technology Co., Ltd., Xi'an 710069, China

Abstract: With the development of aviation technology, electronic equipment and facilities have been widely used in airborne systems. As one of the most important signals of aircraft avionics systems, discrete signals are used in electromechanical control signals, equipment status indication signals and other scenarios. The discrete signal has the characteristics of simple generation circuit and strong anti-interference ability, which makes it very suitable for signal transmission in the harsh electromagnetic environment on board. However, it also puts forward extremely high requirements for the reliability of airborne discrete processing chip. Therefore, lightning protection has become a necessary consideration in the design process of airborne discrete processing chip. Aiming at the lightning protection requirements of the signal interface of the airborne discrete processing chip, this paper proposes a TVS array and its corresponding process design as a lightning protection device for the airborne discrete processing chip based on the improved BCD process. After testing, the TVS current capability reaches 5.26A, and can withstand ± 11 kV ESD stress. It has strong surge and lightning protection capabilities, so it can provide strong lightning and ESD protection for high-speed data interfaces in airborne discrete processing chips, and has strong application value.

Key Words: airborne system; discrete quantity; lightning protection; TVS; high-speed data interface

Received: 2024-04-09; **Revised:** 2024-07-18; **Accepted:** 2024-09-12

Foundation item: Aeronautical Science Foundation of China(201943080002); Guangdong Basic and Applied Basic Research Foundation(2021B1515020031); China Postdoctoral Science Foundation(2021M700684); Science and Technology Project of Sichuan (2022YFG0165); Natural Science Foundation Project of Chongqing(cstc2021jcyj)