

DOI: 10.19452/j.issn1007-5453.2017.09.042

飞行训练模拟器通用数据采集设备的设计研究

黄宇*, 芦涛, 王立

西安飞豹科技有限公司, 陕西 西安 710089

摘要: 为了使数量繁多的座舱仿真设备能够被计算机快速、有效地管理与控制, 在分析传统数据采集形式的基础上, 提出了一种基于 Powerlink 的新型通用数据采集设备: 将数据采集设备中的驱动、采集终端分解为单个座舱仿真设备独立内置的采集单元。通过实际工程应用表明, 该数据采集设备在调试维修性、组网灵活性、设备通用性上更有优势, 并且可以降低设备成本。

关键词: 飞行训练模拟器; 数据采集; Powerlink

中图分类号: TP391.9 文献标识码: A 文章编号: 1007-5453 (2017) 09-0042-05

飞行训练模拟器是现代飞行员训练所必需的设备, 它是一种由计算机实时控制、多系统协调工作、能模拟真实飞行环境的模拟设备。相较真实飞机的飞行训练而言, 利用飞行训练模拟器进行模拟飞行训练不仅不受天气等自然条件的制约, 而且没有后勤、机务保障以及飞行安全等因素的限制。国内外许多单位均研制了各种不同种类和规模的训练模拟器, 并取得了良好的训练效果。

在飞行训练模拟器设计中, 除座舱外的真实飞机的大部分系统均由仿真软件模拟完成, 为了保证功能的实现, 仿真软件需要采集及驱动座舱内部的仿真设备, 大量的信息能够快速、实时地在飞行训练模拟器的各个模块之间进行高速传递, 这就需要数据采集设备作为座舱仿真设备物理信号和计算机数字信号之间的中转。因此, 数据采集设备是各类飞行训练模拟器的核心设备之一。

目前, 飞行训练模拟器通常采用集中式或分布式数据采集方式, 这两种采集方式分别存在着各自不同的缺点, 因此, 有必要结合多机型大量座舱仿真设备数模研究及实际使用验证, 本文提出了一种基于 Powerlink 的通用数据采集设备, 以提高采集效率, 降低设备成本。

1 传统数据采集形式

1.1 集中式数据采集

集中式数据采集通常由单个或多个多插槽计算机、采集板卡、分线箱、连接线缆组成, 设备安装于设备柜内, 特点在于集中式管理、便于维修, 但计算机内板卡数量繁多, 与座舱仿真设备对接的线缆过长, 增加项目成本, 且采样效率较低。集中式数据采集拓扑图如图 1 所示。

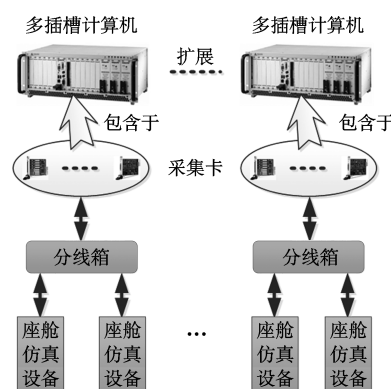


图 1 集中式数据采集拓扑图

Fig.1 Topological graph of centralized data collection

收稿日期: 2017-04-05; 退修日期: 2017-07-26; 录用日期: 2017-07-31

* 通信作者. Tel: 029-86832385 E-mail: Razerxlc@126.com

引用格式: HUANG Yu, LU Tao, WANG Li. Design research of general data collection device for flight training simulator[J].

Aeronautical Science & Technology, 2017, 28 (09): 42-46. 黄宇, 芦涛, 王立. 飞行训练模拟器通用数据采集设备的设计研究 [J].

航空科学技术, 2017, 28 (09): 42-46.

1.2 分布式数据采集

分布式数据采集通常由计算机、交换设备、数据采集设备、分线箱、连接线缆组成,特点在于节省部分连接线缆、降低项目成本、分区域管理、提高集成调试便利性,但采集设备安装位置处于座舱内部,维护难度较大。分布式数据采集拓扑图如图2所示。

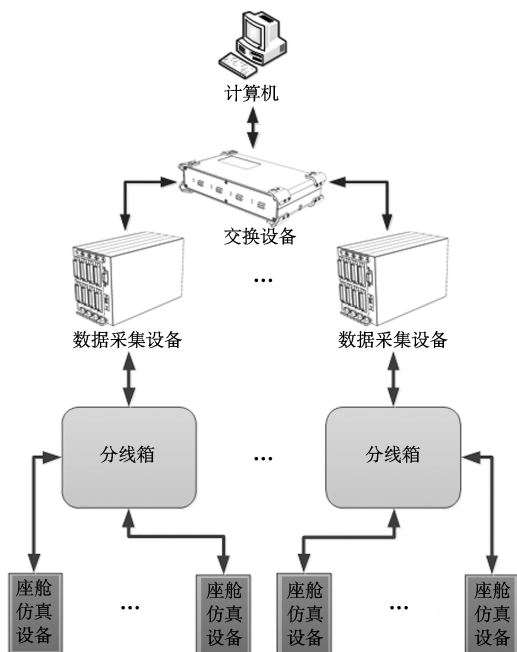


图2 分布式数据采集拓扑图

Fig.2 Topological graph of distributed data collection

2 通用数据采集设备的设计

2.1 基本拓扑结构

通用数据采集设备由计算机、内置主控卡、交换机、座舱仿真设备内置的数据采集单元组成。主控卡实现相互独立的四口网络功能,各网段之间同步运行,交换机可根据实际项目情况灵活选择网口数量,单个交换机最大可用24个节点,所有交联线路均为基于Powerlink的以太网。通用数据采集拓扑图如图3所示。

整个采集网络采用三层架构,首先由主控卡完成板载四口网络的数据管理和同步触发,然后由各网口完成对应连接的交换机下接的采集单元的数据交换,最终各采集单元完成实际采集和驱动工作。在这种多层管理的架构下,各部件功能独立、清晰,提高了网络使用率,同时,各层设备故障相对隔离,增加了系统稳定性。

2.2 通信机制

Powerlink 是基于时间槽的通信,每个节点都有一个时

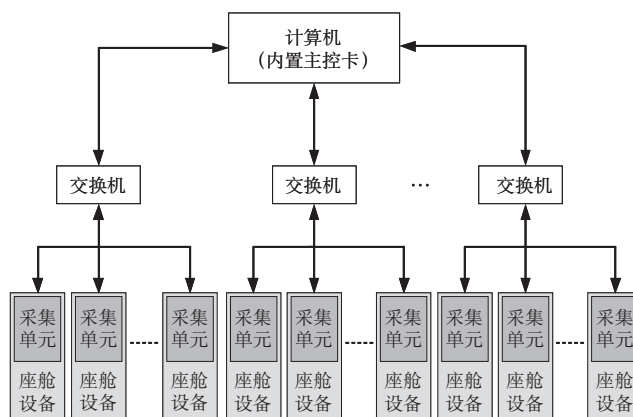


图3 通用数据采集拓扑图

Fig.3 Topological graph of general data collection

钟,且固定周期补偿误差。在该机制的支持下,整个网络完成一个站的通信所需要的时间,取决于物理层的传输速度和需要传送的数据包大小。在Powerlink网络中,至少有一个设备作为主站(MN),其他的设备作为从站(CN)。

Powerlink 支持1588分布式时钟协议,每个循环周期的开始,MN都会广播一个SOC数据帧到网络上,该数据帧包含了两个重要信息:网络的绝对时间和相对时间。CN设备在接收到MN设备下发的时间信息之后,不但要更新本地时间信息,而且要计算本地时间与MN时间的误差并补偿、反馈至MN端^[1]。绝对时间信息包含:年、月、日、时、分、秒、毫秒、微秒、纳秒。相对时间信息包含:从网络开始工作到现在一共运行了多少微秒。

Powerlink的实时通信有两种通信机制,即请求/应答模式和定时主动上报模式,本文采用定时主动上报模式完成设备间通信,定时主动上报模式通信机制如图4所示。

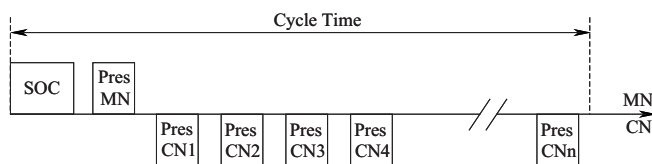


图4 定时主动上报模式通信机制

Fig.4 Communication mechanism of regularly report active mode

在这种机制下,Powerlink MN在开始通信前,先配置CN的参数,告诉每个CN在接到MN发送数据帧(Pres MN)的时钟同步、补偿信息后,应该在循环周期的哪一时刻上报数据。如果各CN产生的数据量固定,配置动作将一次性完成,存储在板载Flash中,重新上电无须再次配置。网络访问由MN管理,MN发送Pres MN后,各CN只能在MN授权的相应时间段访问网络并发送数据帧(Pres

CN)。这种规则避免了通信冲突的发生,因此,网络状态在 Powerlink 模式下是确定的。

假设,网络中由于某种原因,从设备在非正确时间槽内访问网络,将会启动标准以太网冲突处理进程(CSMA/CD),但 Powerlink 不使用 IEEE802.3u 定义的用于解决冲突的报文重传机制,因此,不会影响网络中其他数据的传输。

2.3 Powerlink 下数据收发的实现

采集网络的数据由计算机和采集单元产生。下行数据为广播模式,分别包含各采集网段的所有输出数据、系统时间(以主控卡为基准)、采集单元时间槽等信息。上行数据采用定时主动上报机制,按时间槽单播,包含单个采集单元信息及采集数据。交换机等效于物理链路,数据收发基本原理如图 5 所示。

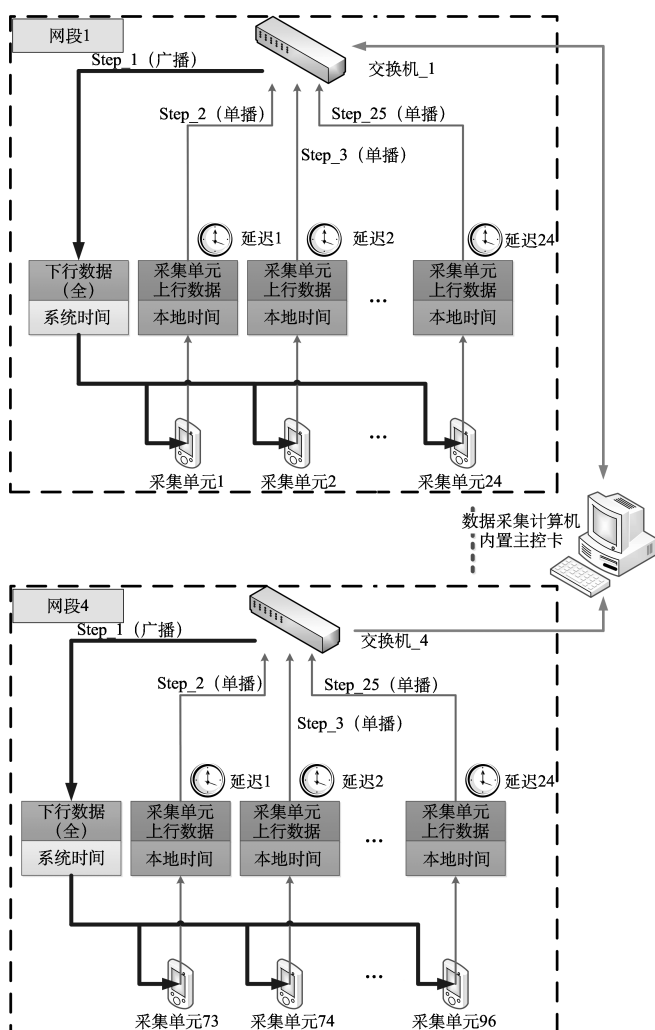


图 5 数据收发基本原理

Fig.5 The schematic diagram of data transfer

图 5 中,四个网段之间通信相互独立、同步,以网段 1 为例,每周通信过程如下:(1) 由计算机内置的主控卡下发各网段采集单元需要的全部下行数据,数据内容主要包括输出数据、系统时间、采集单元上行通信时间区、补偿时间等信息;(2) 各采集单元接收到广播数据后,更新、补偿本地时钟,执行输出数据,按照各自接收数据中的时间槽信息计算通信时间,启动延迟定时器;(3) 采集单元 1 通信延迟时间触发后,发送上行单播数据,数据包括本地时间(用于计算传输延迟)、上行采集数据、采集单元状态等信息;(4) 采集单元 2 通信延迟时间触发后,发送上行单播数据,数据包括本地时间(用于计算传输延迟)、上行采集数据、采集单元状态等信息;(5) 各采集单元依次重复上述过程;(6) 采集单元 24 完成上行单播数据发送后,本次通信周期结束;(7) 等待下一次下行数据广播,启动下一周期通信。

2.4 主控卡及交换机

为便于使用、缩短开发周期,本文提出的通用数据采集设备,主控卡直接采用带 PCIe 接口、网口、板载 DDR 的通用 FPGA 板卡,交换机同样采用通用双层交换机。主控卡内部主要原理图如图 6 所示。

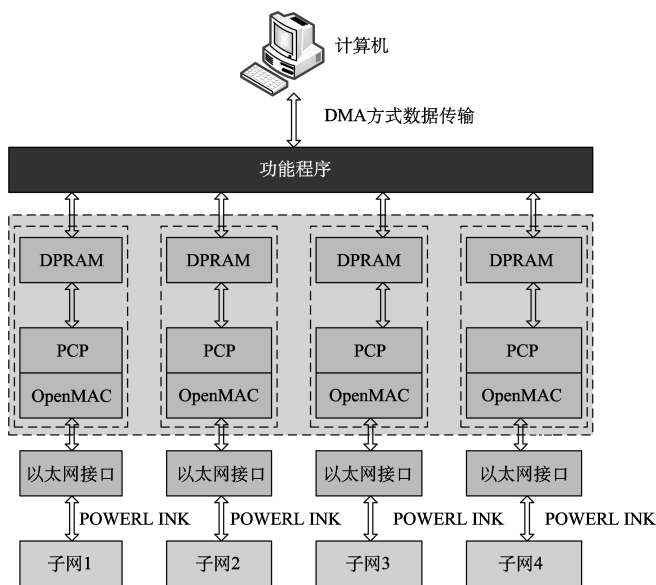


图 6 主控卡原理图

Fig.6 The schematic diagram of processor

图 6 中,OpenMAC 实现与外部以太网接口物理层的连接,PCP 为 Powerlink 的协议栈,功能程序通过 FPGA 内部设计集成的双口 RAM 与 Powerlink 协议栈进行数据交换。数据经过功能程序的解析、处理和存储后,计算机最终以 DMA 传输的方式通过 PCIe 总线完成读写。

2.5 采集单元

采集单元是直接完成采集、驱动功能的终端设备,由面积不足 60cm² 的相同尺寸、高集成度通用底板、功能子板组成。

采集单元中的通用底板是核心板卡,用于完成 Powerlink 通信及各部分采集、驱动功能。功能子板则视为底板的引脚外扩,不具备 CPU 功能,用于数字量采集、数字量输出、模拟量采集、模拟量输出、RS-422 通信功能的电路实现。功能子板与通用底板采用层叠的方式连接,功能灵活,便于使用。核心底板选用 XILINX 公司的 Spartan6 系列 FPGA 作为主控芯片。FPGA 内部程序通过 CPU (MicroBlaze^[2]) 挂接外设的方式完成实时以太网通信及部分采集、驱动功能。其中,各功能部件采用 Verilog HDL^[3] 完成,CPU 内部采用 C 语言编程。板载程序框图如图 7 所示。

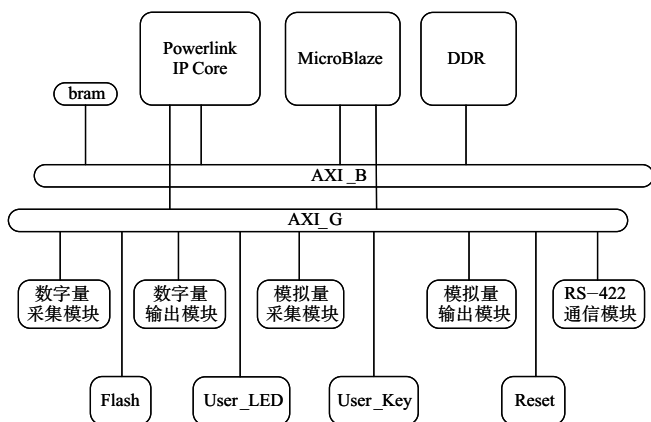


图7 板载程序框图

Fig.7 The onboard program flowchart

FPGA 内部程序以 MicroBlaze 为主,并联两条 AXI 总线,分别挂接 bram, Powerlink IP Core, DDR 等模块,各模块具体功能如下:(1) bram 模块: FPGA 内部缓存,申请后用于与 Powerlink IP Core 交换数据;(2) Powerlink IP Core 模块: 主要完成每周期的 Powerlink 网络通信;(3) DDR 模块: MicroBlaze 系统运行环境;(4) 数字量采集模块: 数字量采集功能逻辑实现;(5) 数字量输出模块: 数字量输出功能逻辑实现;(6) 模拟量采集模块: 模拟量采集功能逻辑实现;(7) 模拟量输出模块: 模拟量输出功能逻辑实现;(8) RS-422 通信模块: RS-422 通信功能逻辑实现;(9) Flash 模块: 存储 FPGA 硬件配置文件、MicroBlaze 系统程序及启动引导程序;(10) User LED 模块: 指示板卡工作状态;(11) User Key 模块: 响应用户硬件操作;(12) Reset 模块: 提供上电复位

信号。

3 测试结果

按照本文设计的基本拓扑结构搭建测试环境,单网口实际挂接 20 个采集单元,在交换机中接入一台测试计算机。为便于数据记录,将所有 Powerlink 数据帧设置为广播,通信周期设置为 10ms,测试计算机通过 Wireshark 抓包软件记录网络通信数据,测试结果如图 8 所示。

时间戳	Source	Destination	Protocol	Length	Info
0.000052	Camille8_56:7	EPLV2_PRes	POWERLINK	536	1->255 PRes [512] F:RE
0.000084	Camille8_56:7	EPLV2_PRes	POWERLINK	536	2->255 PRes [512] F:RE
0.000087	Camille8_56:7	EPLV2_PRes	POWERLINK	536	3->255 PRes [512] F:RE
0.001323	Camille8_56:7	EPLV2_PRes	POWERLINK	536	4->255 PRes [512] F:RE
0.001326	Camille8_56:7	EPLV2_PRes	POWERLINK	536	5->255 PRes [512] F:RE
0.001925	Camille8_56:7	EPLV2_PRes	POWERLINK	536	6->255 PRes [512] F:RE
0.001926	Camille8_56:7	EPLV2_PRes	POWERLINK	536	7->255 PRes [512] F:RE
0.002370	Camille8_56:7	EPLV2_PRes	POWERLINK	536	8->255 PRes [512] F:RE
0.002372	Camille8_56:7	EPLV2_PRes	POWERLINK	536	9->255 PRes [512] F:RE
0.002373	Camille8_56:7	EPLV2_PRes	POWERLINK	536	10->255 PRes [512] F:RE
0.003053	Camille8_56:7	EPLV2_PRes	POWERLINK	536	11->255 PRes [512] F:RE
0.003056	Camille8_56:7	EPLV2_PRes	POWERLINK	536	12->255 PRes [512] F:RE
0.003905	Camille8_56:7	EPLV2_PRes	POWERLINK	536	13->255 PRes [512] F:RE
0.004447	Camille8_56:7	EPLV2_PRes	POWERLINK	536	14->255 PRes [512] F:RE
0.004449	Camille8_56:7	EPLV2_PRes	POWERLINK	536	15->255 PRes [512] F:RE
0.004939	Camille8_56:7	EPLV2_PRes	POWERLINK	536	16->255 PRes [512] F:RE
0.004939	Camille8_56:7	EPLV2_PRes	POWERLINK	536	17->255 PRes [512] F:RE
0.005407	Camille8_56:7	EPLV2_PRes	POWERLINK	536	18->255 PRes [512] F:RE
0.005410	Camille8_56:7	EPLV2_PRes	POWERLINK	536	19->255 PRes [512] F:RE
0.005411	Camille8_56:7	EPLV2_PRes	POWERLINK	536	20->255 PRes [512] F:RE
0.010550	00:00:00:00:00:00	EPLV2_PRes	POWERLINK	536	200->255 PRes [512] F:RE
0.010654	Camille8_56:7	EPLV2_PRes	POWERLINK	536	1->255 PRes [512] F:RE
0.010959	Camille8_56:7	EPLV2_PRes	POWERLINK	536	2->255 PRes [512] F:RE
0.010962	Camille8_56:7	EPLV2_PRes	POWERLINK	536	3->255 PRes [512] F:RE
0.011447	Camille8_56:7	EPLV2_PRes	POWERLINK	536	4->255 PRes [512] F:RE
0.011449	Camille8_56:7	EPLV2_PRes	POWERLINK	536	5->255 PRes [512] F:RE
0.011696	Camille8_56:7	EPLV2_PRes	POWERLINK	536	6->255 PRes [512] F:RE
0.011990	Camille8_56:7	EPLV2_PRes	POWERLINK	536	7->255 PRes [512] F:RE
0.012411	Camille8_56:7	EPLV2_PRes	POWERLINK	536	8->255 PRes [512] F:RE
0.012414	Camille8_56:7	EPLV2_PRes	POWERLINK	536	9->255 PRes [512] F:RE
0.012416	Camille8_56:7	EPLV2_PRes	POWERLINK	536	10->255 PRes [512] F:RE
0.013624	Camille8_56:7	EPLV2_PRes	POWERLINK	536	11->255 PRes [512] F:RE
0.013955	Camille8_56:7	EPLV2_PRes	POWERLINK	536	12->255 PRes [512] F:RE
0.014058	Camille8_56:7	EPLV2_PRes	POWERLINK	536	13->255 PRes [512] F:RE
0.014308	Camille8_56:7	EPLV2_PRes	POWERLINK	536	14->255 PRes [512] F:RE
0.014310	Camille8_56:7	EPLV2_PRes	POWERLINK	536	15->255 PRes [512] F:RE
0.014872	Camille8_56:7	EPLV2_PRes	POWERLINK	536	16->255 PRes [512] F:RE

图8 测试结果

Fig.8 Test result

从图 8 中屏蔽同步数据后通过 Wireshark 抓取的数据可以发现,虽然在 Windows 下抓取的数据实时性不强,但通过对记录数据时间戳的分析可发现,20 个采集单元的通信周期远小于 10ms,满足飞行训练模拟器的相关性性能要求。

4 结束语

本文设计的通用数据采集设备,将数据采集设备中的采集板卡、采集单元以高集成度功能子板配合通用底板的方式集成安装于座舱仿真设备内部,这可以使所有座舱仿真设备相互之间供电、通信独立,且数据采集单元体积小、安装方式灵活,给现场工作、线下调试、设备管理和用户使用带来了方便。

通常数据采集设备与座舱仿真设备之间的线缆的成本需占到整个项目的 10% 左右,通过本文设计的采集方式,省去了数据采集设备与座舱仿真设备之间的大量连接电缆,节约了项目成本。

在兼顾管理和维修性的同时,在通信机制方面,采用 Powerlink 实时以太网为基础的通信方式构建三层采集网络,保证并实现采集、驱动数据的稳定性,对所有数据帧进

行了相对于时间轴的管理,从而避免了数据丢失、数据大量缓存等现象,提高对网络总线的利用率,增加了数据采集设备的工作效率。同时,该数据采集设备还具有很大程度的通用性,采用模块化设计,通过不同功能子板的合理搭配完成采集、驱动功能。相较于传统的集中式、分布式数据采集设备,该设备在飞行训练模拟器领域中将具有广泛的应用前景。

AST

参考文献

- [1] 夏宇闻. Verilog 数字系统设计教程 [M]. 北京: 北京航空航天大学出版社, 2003.
XIA Yuwen. Verilog digital system design tutorial[M]. Beijing: Beihang University Press, 2003. (in Chinese)
- [2] 王杰. Xilinx FPGA/CPLD 设计手册 [M]. 北京: 人民邮电出版社, 2011.
WANG Jie. Xilinx FPGA/CPLD design handbook[M]. Beijing:

Posts & Telecom press, 2011. (in Chinese)

- [3] 王瑾秋. 开源实时以太网 POWERLINK 详解 [M]. 北京: 机械工业出版社, 2015.
WANG Jinqu. Open source real-time ethernet POWERLINK detailed annotation[M]. Beijing: China Machine Press, 2015. (in Chinese)
(责任编辑 刘玲蕊)

作者简介

黄宇 (1989-) 男, 学士, 工程师。主要研究方向: 模拟器仿真设备、数据采集器设计。

Tel: 029-86832385

E-mail: Razerxix@126.com

芦涛 (1974-) 男, 学士, 工程师。主要研究方向: 模拟器仿真设备、数据采集设计。

王立 (1989-) 男, 学士, 工程师。主要研究方向: 模拟器结构、座舱仿真设备、操纵等仿真试验。

Design Research of General Data Collection Device for Flight Training Simulator

HUANG Yu*, LU Tao, WANG Li

Xi'AN Feibao Technology CO., LTD., Xi'an 710089, China

Abstract: In order to allow the computer to quickly, effectively manage and control a large number of cabin simulation device, on the basis of analyzing the traditional data collection form, a new general data collection device based on Powerlink was proposed. The driver and collection terminal of data collection device were decomposed into a single cockpit simulation equipment independent built-in acquisition unit. The engineering application shows that this device has the advantages of debugging and maintenance, networking flexibility, connectivity and lower cost.

Key Words: flight training simulator; data collection; Powerlink

Received: 2017-04-05;

Revised: 2017-07-26;

Accepted: 2017-07-31

*Corresponding author. Tel.: 029-86832385 E-mail: Razerxix@126.com